

NCC 1T 8051-内核微控制器

ATM8F3140A

用户手册

目录

1. 概述	12
1.1. 说明	12
2. 特性	13
3. 功能方块图	15
4. 管脚配置	16
5. 存储器组织	21
5.1. 基本特征	21
5.2. 存储器组织结构	21
5.3. 功能描述	21
5.3.1. 程序存储空间	21
5.3.2. 外部数据存储空间	21
5.3.3. 内部数据存储空间	22
5.3.4. DPTR 数据指针	22
5.4. 示例程序	22
6. 寄存器组	23
6.1. 寄存器描述	23
6.1.1. 页选择寄存器 (BANK)	23
6.2. 功能描述	23
7. CPU	25
7.1. 基本特征	25
7.2. 寄存器描述	25
7.2.1. 堆栈寄存器 (SP)	25
7.2.2. 数据指针高字节 (DPH)	26
7.2.3. 数据指针 1 低字节 (DPL1)	26
7.2.4. 数据指针 1 高字节 (DPH1)	26
7.2.5. 电源控制寄存器 (PCON)	26
7.2.6. 数据指针选择寄存器 (DPS)	27
7.2.7. 数据指针控制寄存器 (DPC)	27
7.2.8. 程序状态字寄存器 (PSW)	28
7.2.9. 累加器 (ACC)	28

7.2.10. 寄存器 B (B)	29
7.3. 指令集	29
8. 中断系统	34
8.1. 规格介绍	34
8.2. 内部框图	34
8.3. 中断向量表及优先级	34
8.4. 寄存器描述	36
8.4.1. 中断使能寄存器 0 (IEN0)	36
8.4.2. 中断使能寄存器 1 (IEN1)	37
8.4.3. 中断使能寄存器 2 (IEN2)	37
8.4.4. 中断优先级寄存器 00 (IP00)	38
8.4.5. 中断优先级寄存器 01 (IP01)	39
8.4.6. 中断优先级寄存器 10 (IP10)	39
8.4.7. 中断优先级寄存器 11 (IP11)	40
8.4.8. 中断优先级寄存器 20 (IP20)	40
8.4.9. 中断优先级寄存器 21 (IP21)	41
8.5. 功能描述	42
9. 外部中断	43
9.1. 规格介绍	43
9.2. 基本特征	43
9.3. 内部框图	43
9.4. 寄存器描述	43
9.4.1. T0/1 控制寄存器 (TCON)	44
9.4.2. 外部中断使能寄存器 (INTEN)	44
9.4.3. 外部中断类型寄存器 (INTCTRL)	44
9.4.4. 外部中断状态寄存器 (INTFLG)	45
9.5. 寄存器描述	45
10. 复位	46
10.1. 基本特征	46
10.2. 工作模式	46
10.3. 内部框图	46
10.4. 寄存器描述	46

10.4.1. 复位标志寄存器（RSTID）	46
10.4.2. 堆栈低溢出寄存器（SPOVL）	47
10.4.3. 堆栈高溢出寄存器（SPOVH）	47
10.5. 功能描述	48
11. 时钟	49
11.1. 基本特征	49
11.2. 工作模式	49
11.3. 内部框图	50
11.4. 寄存器描述	50
11.4.1. 系统时钟控制寄存器（CLKCON）	51
11.4.2. 系统时钟配置寄存器（CLKCFG）	51
11.4.3. 外设时钟使能控制寄存器（CLKEN0）	52
11.4.4. 外设时钟使能控制寄存器（CLKEN1）	53
11.4.5. BOR 控制寄存器（BORCON）	53
11.4.6. 时钟状态寄存器（CLKSTAT）	54
11.4.7. 系统配置寄存器（SYSCFG）	55
11.4.8. 写保护寄存器（WPKEY）	55
11.5. 功能描述	55
11.5.1. 时钟源详细描述	55
11.5.2. 系统时钟配置	56
11.5.3. 时钟切换及保护	56
11.5.4. 时钟安全系统	57
11.5.5. 低功耗模式	57
12. 通用输入输出端口	59
12.1. 规格介绍	59
12.2. 基本特征	59
12.3. 工作模式	59
12.4. 寄存器描述	59
12.4.1. 端口数据寄存器（Px, x=0,1,2,3,4,5）	60
12.4.2. 开漏输出控制寄存器（PxODR, x=0,1,2,3,4,5）	60
12.4.3. 端口输入输出控制寄存器（PxCR, x=0,1,2,3,4,5）	60
12.4.4. 端口上拉控制寄存器（PxPCR, x=0,1,2,3,4,5）	61

12.4.5. 模拟控制寄存器 0 (AEN0)	61
12.4.6. 模拟控制寄存器 1 (AEN1)	61
12.4.7. 复用选择寄存器 0 (ALFSEL0)	62
12.4.8. 复用选择寄存器 1 (ALFSEL1)	62
12.4.9. 复用选择寄存器 2 (ALFSEL2)	63
12.4.10. 重映射寄存器 (REMAP)	63
12.5. 功能描述	64
12.6. 示例程序	64
13. 定时器 T2	65
13.1. 基本特征	65
13.2. 寄存器描述	65
13.2.1. T2 控制寄存器 (T2CON)	65
13.2.2. T2 模式控制寄存器 (T2MOD)	66
13.2.3. T2 重载/捕获低字节 (RCAP2L)	66
13.2.4. T2 重载/捕获高字节 (RCAP2H)	66
13.2.5. T2 计数器低字节 (T2L)	66
13.2.6. T2 计数器高字节 (TH2)	67
13.3. 功能描述	67
13.3.1. 16 位捕获	67
13.3.2. 16 位自动重载定时器	67
13.3.3. 可编程时钟输出	69
14. 定时器 T3	70
14.1. 基本特征	70
14.2. 寄存器描述	70
14.2.1. T3 控制寄存器 (T3CON)	70
14.2.2. T3 重载/计数数据低字节 (TL3)	70
14.2.3. T3 重载/计数数据高字节 (TH3)	71
14.3. 功能描述	71
15. 定时器 T4	72
15.1. 基本特征	72
15.2. 寄存器描述	72
15.2.1. T4 控制寄存器 (T4CON)	72

15.2.2. T4 重载/计数数据低字节 (TL4)	73
15.2.3. T4 重载/计数数据高字节 (TH4)	73
15.3. 功能描述	73
15.3.1. 16 位自动重载定时器	73
15.3.2. 单周期触发的 16 位自动重载定时器	73
16. 定时器 T5	75
16.1. 基本特征	75
16.2. 寄存器描述	75
16.2.1. T5 控制寄存器 (T5CON)	75
16.2.2. T5 重载/计数数据低字节 (T5L)	75
16.2.3. T5 重载/计数数据高字节 (TH5)	75
16.3. 功能描述	76
17. UART	77
17.1. 基本特征	77
17.2. 工作模式	77
17.3. 内部框图	77
17.4. 寄存器描述	77
17.4.1. 串口控制寄存器 (SCON)	77
17.4.2. 串口缓冲寄存器 (SBUF)	78
17.4.3. 串口波特率寄存器低字节 (SRELL)	78
17.4.4. 串口波特率寄存器高字节 (SRELH)	79
17.4.5. 串口 LIN 控制寄存器 (SLIN)	79
17.5. 功能描述	79
17.5.1. 8 位移位寄存器模式(模式 0)	79
17.5.2. 8 位可变波特率模式 (模式 1)	79
17.5.3. 9 位固定波特率模式 (模式 2)	80
17.5.4. 9 位可变波特率模式 (模式 3)	80
17.5.5. 波特率	80
17.5.6. 多处理器通讯	80
17.5.7. LIN 功能	80
18. SPI	81
18.1. 规格介绍	81

18.2. 工作模式	81
18.3. 寄存器描述	81
18.3.1. SPI 控制寄存器 (SPICON)	81
18.3.2. SPI 数据寄存器 (SPIDAT)	82
18.3.3. SPI 状态寄存器 (SPISTA)	82
18.3.4. 复用功能寄存器 1 (ALFSEL1)	82
18.4. 功能描述	83
18.4.1. 从机模式	83
18.4.2. 主机模式	84
18.4.3. 中断产生	85
18.4.4. 错误监测	85
18.4.5. 典型配置	85
19. IIC	87
19.1. 基本特征	87
19.2. 寄存器描述	87
19.2.1. I2C 控制寄存器 (I2CCON)	87
19.2.2. I2C 地址寄存器 (I2CADR)	88
19.2.3. I2C 数据寄存器 (I2CDAT)	88
19.2.4. I2C 状态寄存器 (I2CSTAT)	88
19.3. 功能描述	88
19.3.1. 主机发送	88
19.3.2. 主机接收	89
19.3.3. 从机发送	89
19.3.4. 从机接收	90
19.3.5. I2C 其他状态	91
20. 看门狗定时器	93
20.1. 基本特征	93
20.2. 内部框图	93
20.3. 寄存器描述	93
20.3.1. 看门狗重载命令寄存器 (WDTOLD)	93
20.3.2. 看门狗控制寄存器 (WDTCON)	93
20.3.3. 看门狗重载寄存器 (WDTWK)	94

20.4. 功能描述	94
21. 唤醒定时器	95
21.1. 基本特征	95
21.2. 内部框图	95
21.3. 寄存器描述	95
21.3.1. 唤醒控制寄存器 (WTCON)	95
21.4. 功能描述	96
22. PWM 控制器	97
22.1. 基本特征	97
22.2. 内部框图	97
22.3. 寄存器说明	97
22.3.1. PWM 控制寄存器	98
22.3.2. PWM 控制寄存器 1	98
22.3.3. PWM 状态寄存器	99
22.3.4. PWM 周期控制寄存器高字节	99
22.3.5. PWM 周期控制寄存器低字节	99
22.3.6. PWM0 占空比控制寄存器高字节	99
22.3.7. PWM0 占空比控制寄存器低字节	100
22.3.8. PWM1 占空比控制寄存器高字节	100
22.3.9. PWM1 占空比控制寄存器低字节	100
22.3.10. PWM 死区控制寄存器 0	100
22.3.11. PWM 死区控制寄存器 1	100
22.4. 功能描述	101
22.4.1. 边沿对齐计数器工作模式	101
22.4.2. PWM 寄存器更新	101
22.4.3. 输出控制	102
22.4.4. 死区控制	102
22.4.5. 溢出/匹配中断	103
23. TOUCH	104
23.1. 基本特征	104
23.2. 内部框图	104
23.3. 寄存器说明	104

24. CRC	105
24.1. 基本特征	105
24.2. 内部框图	105
24.3. 寄存器描述	105
24.3.1. CRC 控制寄存器 (CRCCON)	105
24.3.2. CRC 数据寄存器 1 (CRCDAT)	106
24.3.3. CRC 结果寄存器 0 (CRCSD0)	106
24.3.4. CRC 结果寄存器 1 (CRCSD1)	106
24.4. 功能描述	106
25. 蜂鸣器	108
25.1. 基本特征	108
25.2. 内部框图	108
25.3. 寄存器描述	108
25.3.1. BUZ 控制寄存器(BUZCON)	108
26. LCD	109
26.1. LCD 功能	109
26.2. LED 功能	109
26.3. 寄存器描述	109
26.3.1. LCD/LED 控制寄存器 (DISPCON)	109
26.3.2. LCD/LED 控制寄存器 1 (DISPCON1)	110
26.3.3. SEGEN1, SEG 模式选择寄存器 1	111
26.3.4. SEGEN2, SEG 模式选择寄存器 2	111
26.3.5. SEGEN3, SEG 模式选择寄存器 3	111
26.3.6. SEGEN4, SEG 模式选择寄存器 4	111
26.3.7. COMEN, COM 模式选择寄存器	112
26.3.8. DISPCLK, 时钟分频寄存器	112
26.4. 功能描述	112
26.4.1. LCD 电阻型驱动器	112
26.4.2. LCD 波形	113
26.4.3. LED 驱动器	114
26.4.4. LED 波形	114
26.4.5. LCD_LED RAM 配置	114

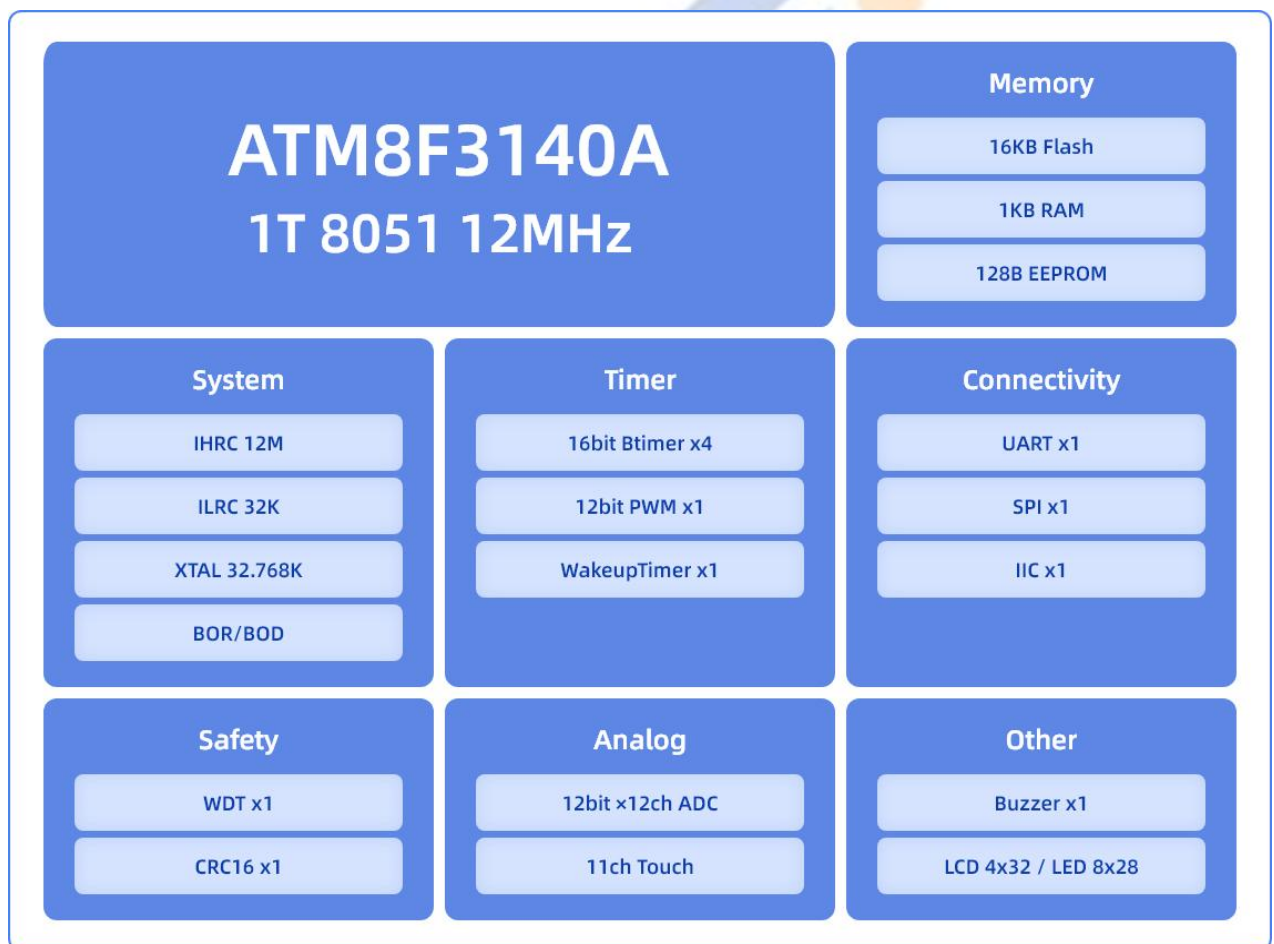
27. FLASH 控制器	116
27.1. 基本特征	116
27.2. 寄存器说明	116
27.2.1. FLASH 编程控制寄存器	116
27.2.2. FLASH 编程数据寄存器	116
27.2.3. FLASH 编程数据寄存器	117
27.2.4. FLASH 编程地址寄存器	117
27.2.5. FLASH 编程地址寄存器	117
27.2.6. FLASH 编程时钟分频寄存器	117
27.3. 功能描述	117
27.3.1. 内部信息区分配	117
27.3.2. 编程操作	118
27.3.3. 读操作	118
28. ADC	120
28.1. 规格介绍	120
28.2. 基本特征	120
28.3. 内部框图	120
28.4. 寄存器描述	120
28.4.1. ADC 控制寄存器 (ADCON)	121
28.4.2. ADC 数据高 8 位寄存器 (ADCDATAH)	122
28.4.3. ADC 转换结果低 4 位寄存器 (ADCDATAL)	122
28.4.4. ADC 配置寄存器 (ADCFG)	122
28.4.5. ADC 高 8 位比较寄存器 (ADREF)	123
28.4.6. ADC 采样控制寄存器 (ADSAMP)	123
28.5. 功能描述	123
28.5.1. 单次转换	123
28.5.2. 连续转换	123
28.5.3. 触发模式	123
28.5.4. ADC 的转换结果	123
28.5.5. ADC 的参考电压	123
28.5.6. ADC 采样时间	123
28.5.7. ADC 的时钟和中断	123

29. 可配置逻辑单元 (CPL)	125
29.1. 内部框图	125
29.2. 寄存器描述	125
29.2.1. CPL 通道 0/1/2/3 寄存器 (CPLCH0/1/2/3)	126
29.3. 功能描述	127
30. 电气特性	128
30.1. 极限参数	128
30.2. DC 特性	128
30.3. ADC 特性	129
30.4. 内部振荡器特性	129
30.5. 内部低频振荡器特性	130
30.6. 外部振荡器特性	130
30.7. LCD 特性	130
30.8. 外部复位及中断管脚特性	131
30.9. EFT 特性	131
30.10. ESD 特性	131
30.11. Latch up 特性	131
31. 封装信息	132
31.1. LQFP48	132
31.2. SOP28	133
31.3. SOP20	134
31.4. SOP16	135
31.5. TSSOP28	136
32. 版本信息	137

1. 概述

1.1. 说明

ATM8F3140A是一款内嵌16K字节FLASH的8位单片机。主要有如下特点：代码完全兼容8051指令集，具有16K代码存储空间，256字节IRAM，最大支持768字节XRAM，128字节的内部EEPROM，4个16位的高性能定时器T2/T3/T4/T5，内置看门狗定时器，1个低功耗唤醒定时器，支持1个增强型UART，支持LIN总线，1个SPI，1个IIC，内嵌12位ADC和CRC模块，集成1个LCD驱动控制器，最大支持4x32段，集成1个LED驱动控制器，最大支持8X28的矩阵，集成1个4路输出的PWM模块，可支持2路可互补输出，集成1个12通道输入的Touch控制模块，集成1个CPL控制模块；ATM8F3140A非常适合消费类、家电类、汽车类电子产品应用。



2. 特性

CPU 特性

8 位 1T 8051 内核
支持 1/2/4/12 系统分频
支持双 DPTR
支持双线调试

ROM

16KB Flash
擦写次数： 1000 次
数据保持时间： 10 年

128Byte EEPROM

擦写次数： 10000 次
数据保持时间： 10 年

RAM

256 字节内部 IRAM
768 字节外部 XRAM

GPIO

最多支持 46 个 GPIO
支持 8 个外部中断

Timer/PWM

4 个 16 位定时器 T2/T3/T4/T5
1 个增强型 12 比特 PWM,
最多支持 4 路输出, 最多支持 2 路互补输出
看门狗定时器
唤醒定时器

通信

支持 1 个 UART/LIN
支持 1 个 SPI
支持 1 个 IIC

其他

支持 CRC16 循环冗余校验
支持低频时钟异常检测
内建蜂鸣器

模拟模块

支持上电复位
支持低压复位, 2.1V/4.3V 及低压检测
支持 12 路 12 位 ADC, 内建比较功能
支持内置 12MHz 振荡器, 出厂校准至±1%
支持外部 32.768KHz 晶振
支持内部 32KHz 低频振荡器
LCD 驱动器, 电阻型
- 最大 4 x 32 段可配 (1/4 占空比, 1/3, 1/2 偏压)
LED 驱动器
- 最大 8 x 28 段可配

支持 12 通道的触控输入

工作模式

正常模式
待机模式 (IDLE)
停机模式 (Stop)

工作条件

工作频率： 最大 12MHz
工作电压： 2.0~5.5V
工作温度： -40°C~85°C

封装

LQFP48-7*7
SOP28
SOP20
SOP16
TSSOP28

编号与封装

芯片型号	封装	引脚数量
ATM8F3140A-CL3	LQFP48-7*7	48
ATM8F3140A-LS3	SOP28	28
ATM8F3140A-KS3	SOP20	20
ATM8F3140A-DS3	SOP16	16
ATM8F3140A-LT3	TSSOP28	28



3. 功能方块图

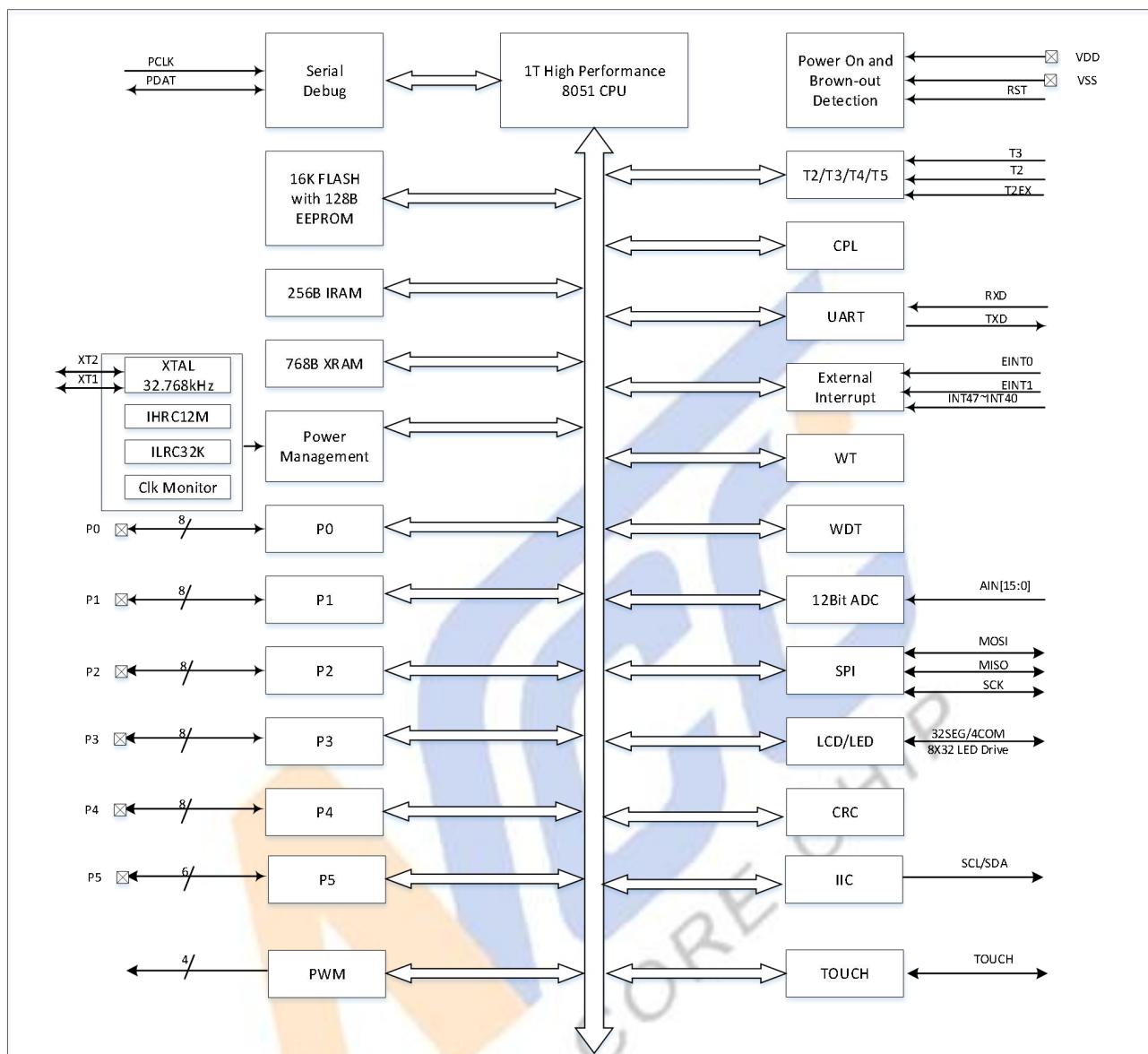


图 3-1 设计框图

4. 管脚配置

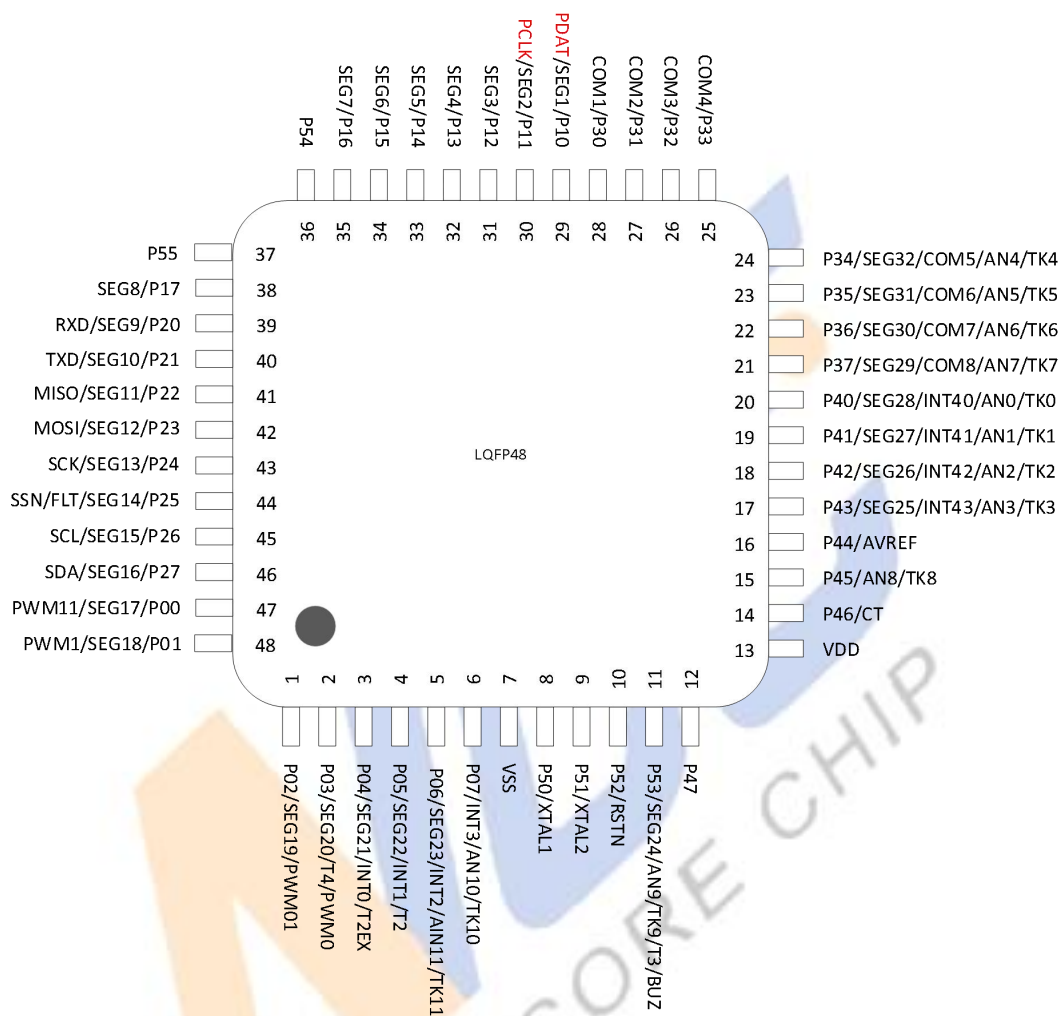


图 4-1 LQFP48-7x7 引脚图

注：红色代表烧录端口

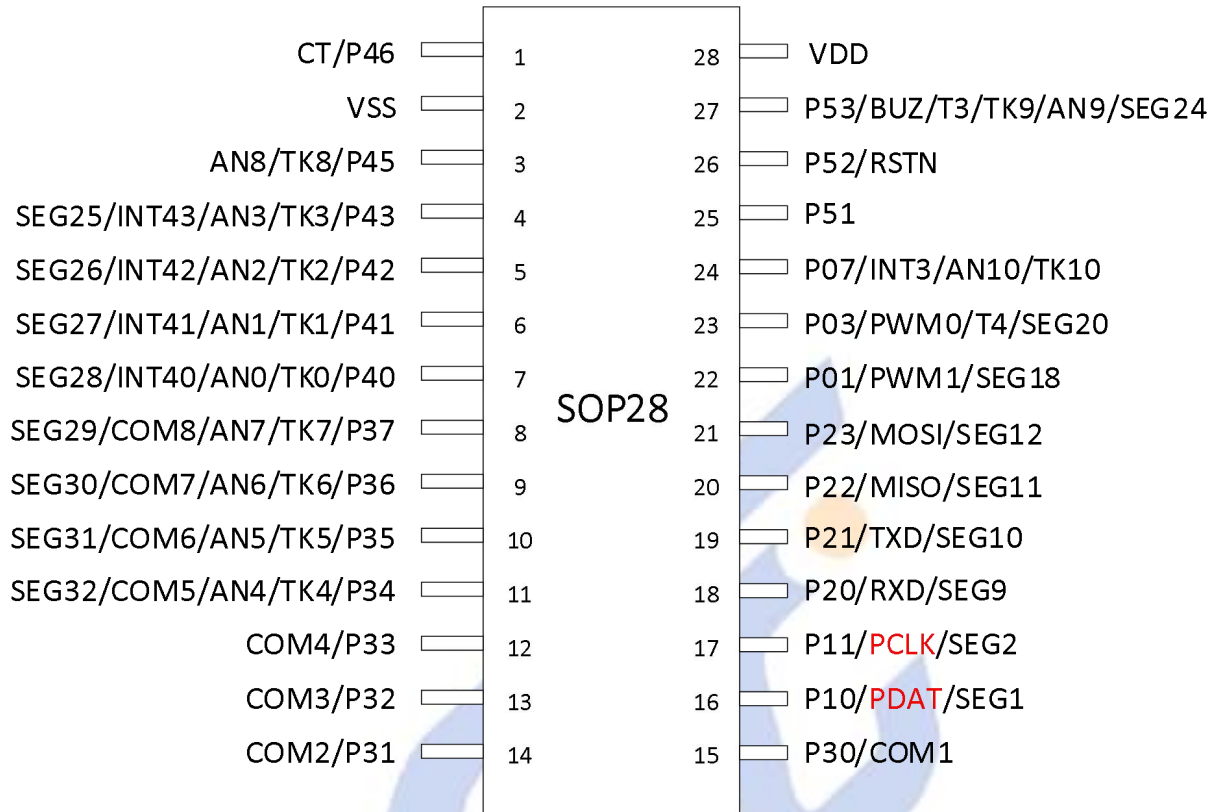


图 4- 2 SOP28 引脚图

注：红色代表烧录端口

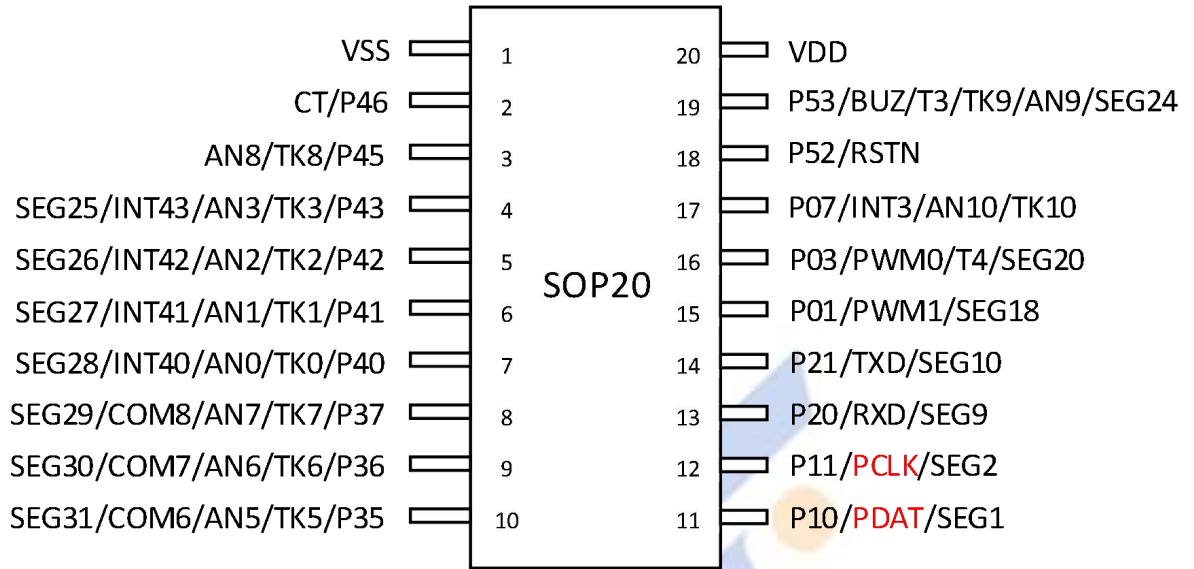


图 4- 3 SOP20 引脚图

注：红色代表烧录端口

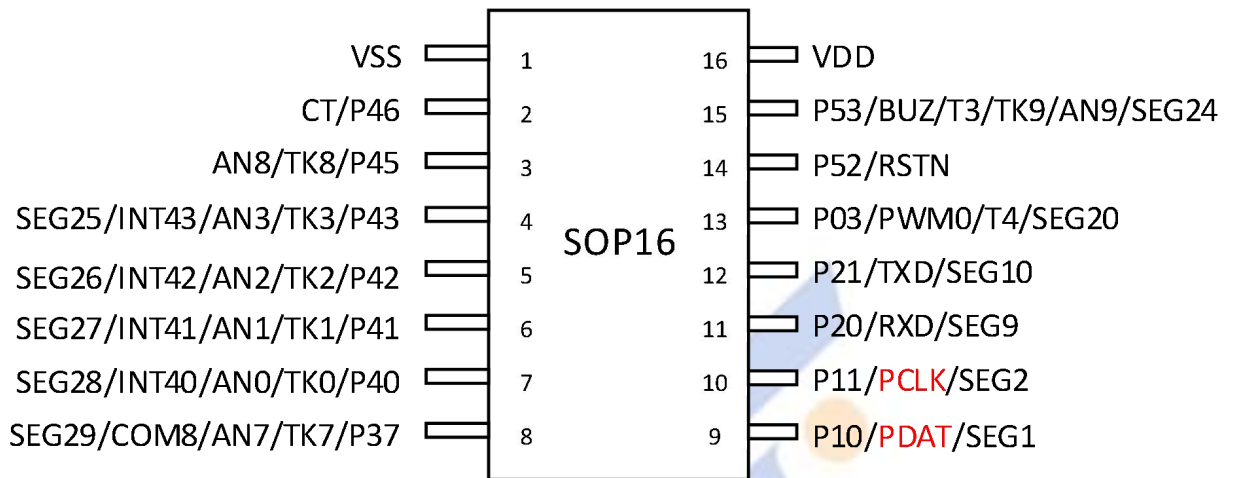


图 4-4 SOP16 引脚图

注：红色代表烧录端口

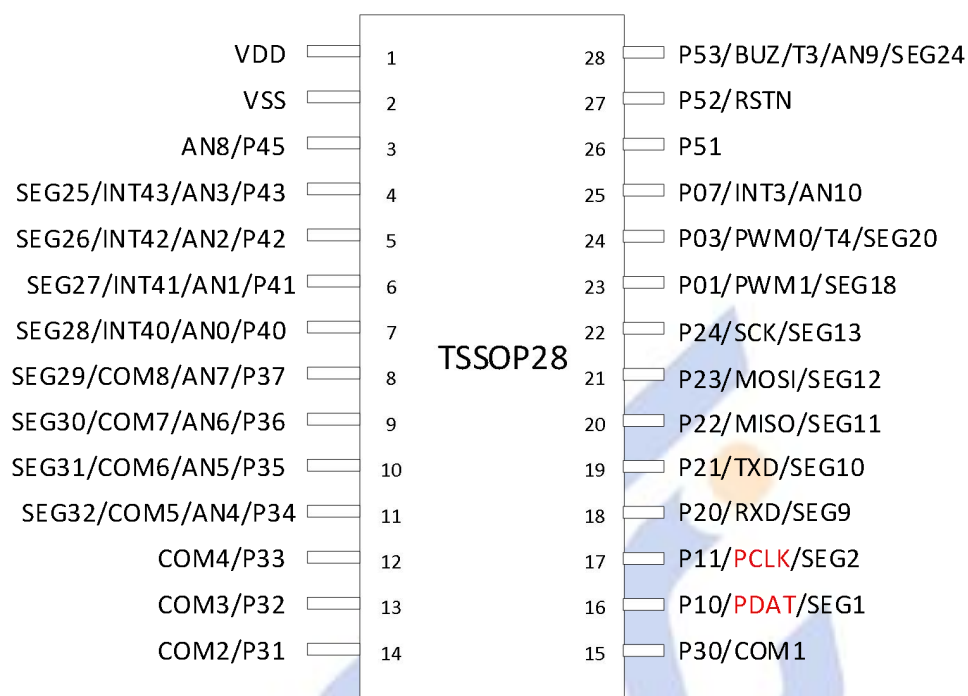


图 4-5 TSSOP28 引脚图

注：红色代表烧录端口

5. 存储器组织

5.1. 基本特征

ATM8F3140A 的存储器架构与标准 8051 类似。包括三个独立的存储器空间：程序存储空间，内部数据存储空间和外部数据存储空间。程序存储空间和外部数据地址空间共用一组 16 位的地址总线，通过不同的指令来区别访问。对于内部数据存储空间，采用 8 位的地址总线来访问。对于 ATM8F3140A 共支持 16KB 的 FLASH 程序存储空间，128 字节的 EEPROM 空间，256 字节的内部数据存储空间和最大 768 字节的外部数据存储空间。

ATM8F3140A 的存储器架构框图如下图所示：

5.2. 存储器组织结构

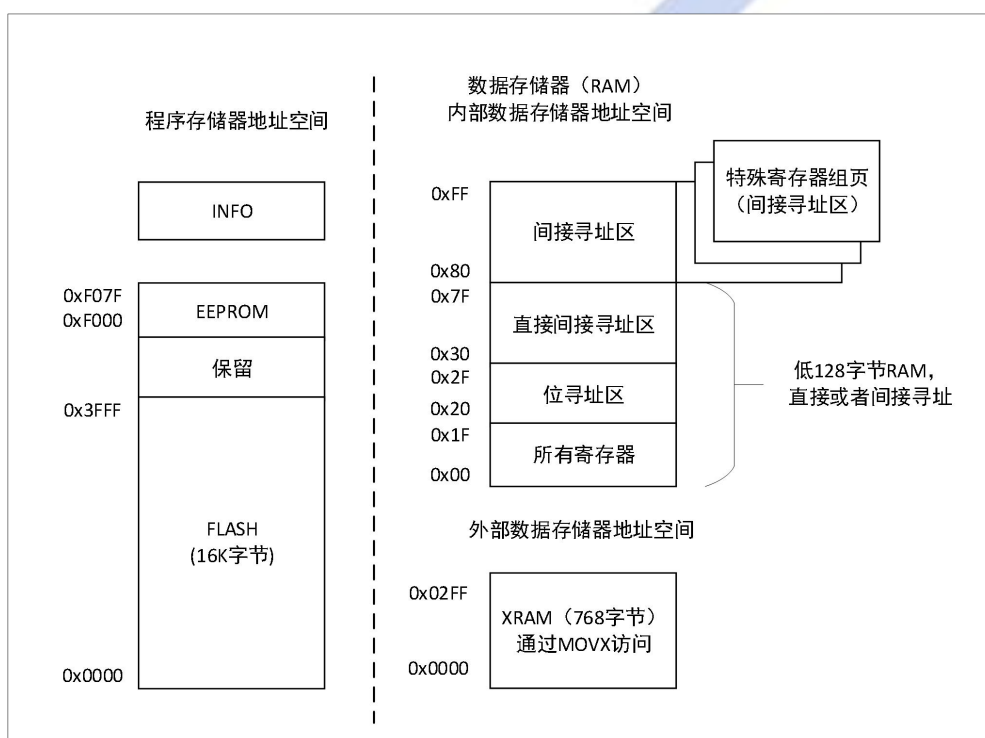


图 5- 1 ATM8F3140A 存储器空间

5.3. 功能描述

5.3.1. 程序存储空间

ATM8F3140A 具有 16K 字节的 FLASH 程序存储空间，寻址范围从 0x0000 到 0x3FFF。同时还支持 128 字节的 EEPROM 区域，地址范围是 0xF000 到 0xF07F。

对于 FLASH 存储空间的擦除和烧录详见 FLASH 操作章节。MOVX 指令通常用于访问外部数据存储器区域。在 CPU 执行指令读取或者通过 MOVC 指令可以访问程序存储空间的内容。

在复位操作完成时，CPU 从 0x0000H 地址开始执行程序。由于 FLASH 和 RAM 的访问速度不同，用户可以通过配置 CKCON 中的程序存储器访问等待位来配置访问需要等待的时间。

5.3.2. 外部数据存储空间

ATM8F3140A 具有最高 768 字节的外部数据存储空间，寻址范围从 0x0000 到 0x02FF。

MOVX 指令通常用于访问外部数据存储器区域，在访问外部数据存储空间之前需要配置确保 PCON 中的 PMW 位为 0。

用户可以通过 CKCON 中的数据存储器访问等待位来配置访问外部数据存储器所需要的等待时间。

5.3.3. 内部数据存储空间

ATM8F3140A 支持 256 字节的内部数据存储空间。其中低 128 个字节分为三个部分，这部分存储器可以通过直接或者间接寄存器寻址访问。其中:0x00-0x1F 部分是工作寄存器组空间，用户可以通过 PSW 寄存器来配置当前的工作寄存器组，每个工作寄存器组支持 8 个寄存器，采用 R0-R7 来区别。0x20-0x2F 是位寻址空间，用户可以通过位地址 0x00-0x7F 访问该空间中的任何一个比特位。其他部分是通用存储器空间。

内部数据存储器的高 128 个字节只能通过间接寄存器寻址来访问。这部分存储器与特殊寄存器页组占用同样的地址空间。

5.3.4. DPTR 数据指针

ATM8F3140A 支持双 DPTR, 用户可以通过 DPS 选择当前的 DPTR, 也可以通过 DPC 寄存器自动切换 DPTR。

在配置时, 需要首先选中要配置的 DPTR, 然后配置相应的 DPL, DPH 寄存器, 同时配置 DPC 指出通过 MOVX 指令后下次的 DPTR 选择是自己还是另一个。也可以通过 DPC 选择是否要求 DPTR 自增或者自减。

5.4. 示例程序

如果需要读取外部数据存储器 0x0000~0x0003 的数据, 然后将该部分数据写到 0x0010-0x0013, 程序可以这样写:

```
MOV  DPS, #00H    ; 选中 DPTR0
MOV  DPL, #00H
MOV  DPH, #00H
MOV  DPC, #09H    ; 使能 DPTR0 自增 1 操作, 同时下一个 DPTR 指针采用 DPTR1
MOV  DPS, #01H    ; 选中 DPTR1

MOV  DPL1, #10H
MOV  DPH1, #00H
MOV  DPC, #01H    ; 使能 DPTR1 自增 1 操作, 同时下一个 DPTR 指针采用 DPTR0

MOV  DPS, #00H    ; 选中 DPTR0
MOVS A, @DPTR     ; A= (0000H), DPTR0=0001H, DPTR 切换到 DPTR1
MOVS @DPTR, A     ; (0010)=A, DPTR1=0011H, DPTR 切换到 DPTR0

MOVX A, @DPTR     ; A= (0001H), DPTR0=0002H, DPTR 切换到 DPTR1
MOVX @DPTR, A     ; (0011)=A, DPTR1=0012H, DPTR 切换到 DPTR0

MOVX A, @DPTR     ; A= (0002H), DPTR0=0003H, DPTR 切换到 DPTR1
MOVX @DPTR, A     ; (0012)=A, DPTR1=0013H, DPTR 切换到 DPTR0

MOVX A, @DPTR     ; A= (0003H), DPTR0=0004H, DPTR 切换到 DPTR1
MOVX @DPTR, A     ; (0013)=A, DPTR1=0014H, DPTR 切换到 DPTR
```

6. 寄存器组

ATM8F3140A 采用分页的方式来管理特殊功能寄存器组，占用 0x80-0xFF 的内部数据存储地址，通过直接寻址来访问。在 ATM8F3140A 中共分 2 个页，可以通过 BANK 寄存器来切换不同的寄存器页。在不同的寄存器页中支持全局访问的寄存器和只有本页才能访问的寄存器。

6.1. 寄存器描述

表 6- 1 寄存器列表

名称	说明	可位寻址	读写权限	复位值	BANK 地址	字节地址
BANK	页选择寄存器	√	R/W	0000 0000B	ALL BANK	F8H

寄存器详细说明如下：

6.1.1. 页选择寄存器（BANK）

名称/地址:	BANK, BANK0/1, F8H						
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1
位 定 义:	BANK						
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0
提 示:	—： 未实现位；U： 不受复位影响；R-0： 只读，读 0；R/W ： 可读写						

- Bit[7:0]：BANK，页选择寄存器
- 00H：选择 BANK0
- 01H：选择 BANK1
- 其他：保留

6.2. 功能描述

ATM8F3140A 的特殊功能寄存器数目众多，标准 51 的分配的 128 个特殊功能寄存器空间已经不能满足需求，为了实现对各个外设的控制和交互，ATM8F3140A 采用了分页的方法来对特殊寄存器空间进行扩展。扩展特殊功能寄存器的访问地址和原有的 128 个特殊功能寄存器地址相同，通过 BANK 寄存器来选择不同的扩展页。对于有些特殊的系统寄存器如 SP, P0, IE 寄存器等，需要实时访问，因此这些寄存器可以在所有的 BANK 中都可以访问。具有这些属性的寄存器为从 80H-8FH 和 90~9F 中以 0x0 和 0x8 结尾的寄存器。

各个特殊寄存器页中的寄存器列表如下：

表 6- 2 BANK0 寄存器列表

BIN HEX	000	001	010	011	100	101	110	111
F8H	BANK	ADCON	ADATAH	ADATAL	ADCFG	-	ADREF	ADSAMP
F0H	B	I2CON	I2CADR	I2CDAT	I2CSTAT	DISPCLK	-	SYSCFG
E8H	-	P0PCR	P1PCR	P2PCR	P3PCR	P4PCR	P5PCR	AEN0
E0H	ACC	P0CR	P1CR	P2CR	P3CR	P4CR	P5CR	AEN1
D8H	-	P0ODR	P1ODR	P2ODR	P3ODR	P4ODR	P5ODR	BUZCON
D0H	PSW	CKCON	CLKCON	CLKCFG	CLKEN0	CLKEN1	BORCON	CLKSTAT
C8H	IEN2	DPS	DPC	IP20	IP21	WTCON	WDTCON	WDTWK
C0H	IEN1	FSHCON	FSHDATL	FSHDATH	FSHADRL	FSHADRH	FSDIV	RESETID
B8H	IP00	T2CON	T2MOD	RCAP2L	RCAP2H	TL2	TH2	P4
B0H	P3	INTEN	INTCTRL	INTFLG	T4CON	TL4	TH4	P5
A8H	IEN0	DISPCON1	DISPCON	SEGEN1	SEGEN2	SEGEN3	SEGEN4	COMEN
A0H	P2	SBRTL	SBRTH	-	-	IP01	IP10	IP11

98H	SCON	SBUF	SLIN	-	CRCCON	CRCDAT	CRCSD0	CRCSD1
90H	P1	T3CON	TL3	TH3	SPICON	SPIDAT	SPISTA	REMAP
88H	TCON	ALFSEL0	ALFSEL1	ALFSEL2	T5CON	TL5	TH5	SRST
80H	P0	SP	DPL	DPH	DPL1	DPH1	WDTRLD	PCON

表 6- 3 BANK1 寄存器列表

BIN HEX	000	001	010	011	100	101	110	111
F8H	BANK	WPKEY		-	XTALCON			
F0H	B	-	-	-	-	-	MEMCTRL	-
E8H	-	-	-	-	-	-	-	-
E0H	ACC	CPLCON	CPLCH0	CPLCH1	CPLCH2	CPLCH3	SPOVL	SPOVH
D8H	-	PWMD1H	PWMD1L	PWMDR	PWMDF	-	-	-
D0H	PSW	PWMCON	PWMCON1	PWMSTA	PWMPERH	PWMPERL	PWMD0H	PWMD0L
C8H	IEN2	-	-	IP20	IP21	-	-	-
C0H	IEN1	-	-	-	-	-	-	-
B8H	IP00	-	-	-	-	-	-	-
B0H	P3	-	-	-	-	TLPMODE0	TLPMODE1	TLPMODE2
A8H	IEN0	-	-	-	-	-	-	-
A0H	P2	-	-	-	-	IP01	IP10	IP11
98H	SCON	-	-	-	-	-	-	-
90H	P1	-	-	-	-	-	-	-
88H	TCON	-	-	-	-	-	-	-
80H	P0	SP	DPL	DPH	DPL1	DPH1	WDTRLD	PCON

7. CPU

7.1. 基本特征

ATM8F3140A 采用 8051 指令集，该指令集完全兼容 Intel MCS-51™ 指令集。由于采用优化的指令架构，使得其指令执行效率与同频率 Intel 80C51 相比性能提高超过 12 倍。超过 80% 的指令可以在 1 到 2 个系统时钟内完成，没有超过 12 个指令周期的指令。其主要特征包括：

- 完全兼容 MCS-51™ 指令集
- 优化的指令架构，最好情况下能够提供 12 倍传统 8051 指令集的执行效率
- 80% 以上的指令可以在 1 到 2 个系统时钟内完成，没有超过 12 个指令周期的指令
- 支持双 DPTR 结构

7.2. 寄存器描述

表 7- 1 CPU 寄存器列表

名称	说明	可位寻址	读写权限	复位值	BANK 地址	字节地址
SP	堆栈寄存器	x	R/W	0000 0111B	ALL BANK	81H
DPL	数据指针低字节	x	R/W	0000 0000B	ALL BANK	82H
DPH	数据指针高字节	x	R/W	0000 0000B	ALL BANK	83H
DPL1	数据指针 1 低字节	x	R/W	0000 0000B	ALL BANK	84H
DPH1	数据指针 1 高字节	x	R/W	0000 0000B	ALL BANK	85H
PCON	电源控制寄存器	x	R/W	0000 1000B	ALL BANK	87H
DPS	数据指针选择寄存器	x	R/W	0000 0000B	BANK0	C9H
DPC	数据指针控制寄存器	x	R/W	0000 0000B	BANK0	CAH
PSW	程序状态字寄存器	√	R/W	0000 0000B	ALL BANK	D0H
ACC	累加器	√	R/W	0000 0000B	ALL BANK	E0H
CKCON	访问时钟控制寄存器	x	R/W	0001 0000B	BANK0	D1H
B	B 寄存器	√	R/W	0000 0000B	ALL BANK	F0H

CPU 寄存器详细说明如下：

7.2.1. 堆栈寄存器（SP）

名称/地址：

SP, ALL BANK, 81H

位 序 号：

Bit7 Bit6 Bit5 Bit4 Bit3 Bit2 Bit1 Bit0

位 定 义：

SP

访问权限：

R/W R/W R/W R/W R/W R/W R/W R/W

复 位 值：

0 0 0 0 0 1 1 1

提 示：

—： 未实现位；U： 不受复位影响；R-0： 只读，读 0；R/W： 可读写

- Bit[7: 0]:SP, 堆栈指针寄存器

1) 数据指针低字节（DPL）

名称/地址：

DPL, ALL BANK, 82H

位 序 号：

Bit7 Bit6 Bit5 Bit4 Bit3 Bit2 Bit1 Bit0

位 定 义：

DPL

访问权限：

R/W R/W R/W R/W R/W R/W R/W W

复 位 值：

0 0 0 0 0 0 0 0

提 示：

—： 未实现位；U： 不受复位影响；R-0： 只读，读 0；R/W： 可读写

- Bit[7: 0]: DPL, 数据指针低字节

7.2.2. 数据指针高字节 (DPH)

名称/地址:	DPH, ALL BANK, 83H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	DPH							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

- Bit[7: 0]: DPH, 数据指针高字节

7.2.3. 数据指针 1 低字节 (DPL1)

名称/地址:	DPL1, ALL BANK, 84H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	DPL1							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

- Bit[7: 0]: DPL1, 数据指针低字节

7.2.4. 数据指针 1 高字节 (DPH1)

名称/地址:	DPH1, ALL BANK, 85H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	DPH1							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

- Bit[7: 0]: DPH1, 数据指针高字节

7.2.5. 电源控制寄存器 (PCON)

名称/地址:	PCON, ALL BANK, 87H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	SMOD	BD	SPOVEN	PMW	P2SEL	GF0	STOP	IDLE
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	1	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

- Bit7: SMOD: 串口波特率倍频
- Bit6: BD: 串口波特率发生器
 - 0: 定时器 2 为串口的波特率发生器
 - 1: 串口自身波特率发生器
- Bit5: SPOVEN, 堆栈溢出复位使能位
 - 0: 禁止堆栈溢出复位
 - 1: 使能堆栈溢出复位
- Bit4: PMW, 程序存储器数据存储器选择
 - 0: MOVX 指令将访问数据存储器
 - 1: MOVX 指令将访问程序存储器
- Bit3: P2SEL, 执行 MOVX @Ri 操作时, 高 8 位地址选择

- 0: 选择 P2 寄存器中的内容作为高 8 位地址
- 1: 高 8 位地址为 00H
- Bit2: GF0, 通用标志位 0
- Bit1: STOP, 停机控制位
 - 0: 正常运行模式
 - 1: 进入停机模式
- Bit0: IDLE, 待机控制位
 - 0: 正常运行模式
 - 1: 进入待机模式

7.2.6. 数据指针选择寄存器 (DPS)

名称/地址:	DPS, BANK0, C9H						
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1
位 定 义:	REV	REV	REV	REV	REV	REV	DPSEL
访问权限:	R	R	R	R	R	R/W	R/W
复 位 值:	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写						

- Bit[7: 1]: REV, 保留
- Bit0: DPSEL, DPTR 选择位
 - 0: 选择 DPL, DPH 构成的 DPTR0
 - 1: 选择 DPL1, DPH1 构成的 DPTR1

7.2.7. 数据指针控制寄存器 (DPC)

名称/地址:	DPC, BANK0, CAH						
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1
位 定 义:	REV	REV	REV	REV	NDPSEL	AMS	AMD
访问权限:	R	R	R	R	R	R/W	R/W
复 位 值:	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写						

- Bit[7: 4]: REV, 保留
- Bit3: NDPSEL, 在执行 MOVX @DPTR 指令后, DPTR 的选择
 - 0: 选择 DPTR0
 - 1: 选择 DPTR1
- Bit2: AMS, 在执行 MOVX @DPTR 后, DPTR 自动更改的大小
 - 0: 自增或者自减 1
 - 1: 自增或者自减 2
- Bit1: AMD, 在执行 MOVX @DPTR 后, DPTR 的改变方向
 - 0: 自动增加
 - 1: 自动减少
- Bit0: AME, 在执行 MOVX @DPTR 后, 当前 DPTR 改变使能位
 - 0: 执行 MOVX @DPTR 后, 不会更改当前的 DPTR
 - 1: 执行 MOVX @DPTR 后, 更改当前的 DPTR

注意: 在配制 DPC 寄存器时, 需要为每一个 DPTR 配制一组 DPC 寄存器。如果对于 DPTR0 配制下一个 DPTR 选择 DPTR1, 对于 DPTR1 配制下一个 DPTR 选择 DPTR0, 那么在程序拷贝时不需要频繁更改 DPS 寄存器就可以实现 DPTR 自动切换。

7.2.8. 程序状态字寄存器（PSW）

名称/地址:	PSW, ALL BANK, D0H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	CY	AC	F0	RS1	RS0	OV	F1	P
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

- Bit7: CY, 进位标志位
 - 0: 未产生进位标志
 - 1: 产生进位标志
- Bit6: AC, 辅助进位标志
 - 0: 在进行 BCD 码加减运算时, 未产生第 3 位向第 4 位的进位或者借位
 - 1: 在进行 BCD 码加减运算时, 产生第 3 位向第 4 位的进位或者借位
- Bit5: F0, 通用标志位 0, 由用户置位或者清除
- Bit4: RS1, 工作寄存器组选择位 1, 与 RS0 共同选择当前工作寄存器组, 当 {RS1, RS0} 为
 - 00: 工作寄存器组 R0-R7 所对应的存储器地址为 00H-07H
 - 01: 工作寄存器组 R0-R7 所对应的存储器地址为 08H-0FH
 - 10: 工作寄存器组 R0-R7 所对应的存储器地址为 10H-17H
 - 11: 工作寄存器组 R0-R7 所对应的存储器地址为 18H-1FH
- Bit3: RS0, 工作寄存器组选择位 0
- Bit2: OV, 溢出标志
 - 0: 运算未发生溢出
 - 1: 运算溢出
- Bit1: F1, 通用标志位 1, 由用户置位或者清除
- Bit0: P, 奇偶标志
 - 0: 累加器 A 的 1 的个数为偶数
 - 1: 累加器 A 的 1 的个数为奇数

7.2.9. 累加器（ACC）

名称/地址:	ACC, ALL BANK, E0H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	A							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

- Bit[7: 0]: A, 累加器

2) 访问时钟控制寄存器（CKCON）

名称/地址:	CKCON, BANK0, D1H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	PSYNC	PWAIT			DSYNC	DWAIT		
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	W
复 位 值:	0	0	0	1	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

- Bit7: PSYNC, 同步或者异步访问程序存储器控制位
 - 0: 同步访问
 - 1: 异步访问
- Bit[6:4]: PWAIT, 访问程序存储器等待周期
 - 000: 不等待
 - 001: 等待 1 个系统周期
 - 010: 等待 2 个系统周期
 - 011: 等待 3 个系统周期
 - 100: 等待 4 个系统周期
 - 101: 等待 5 个系统周期
 - 110: 等待 6 个系统周期
 - 111: 等待 7 个系统周期
- Bit3: PSYNC, 同步或者异步访问数据存储器控制位
 - 0: 同步访问
 - 1: 异步访问
- Bit[2:0]: DWAIT, 访问数据存储器等待周期
 - 000: 不等待
 - 001: 等待 1 个系统周期
 - 010: 等待 2 个系统周期
 - 011: 等待 3 个系统周期
 - 100: 等待 4 个系统周期
 - 101: 等待 5 个系统周期
 - 110: 等待 6 个系统周期
 - 111: 等待 7 个系统周期

7.2.10. 寄存器 B (B)

名称/地址:	B, ALL BANK, F0H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	B							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	一： 未实现位； U： 不受复位影响； R-0： 只读， 读 0； R/W ： 可读写							

- Bit[7: 0]: B, 在 MUL 和 DIV 操作中与累加器一起使用, 乘法操作时, 所得的 16 位积高字节存在寄存器 B 中

7.3. 指令集

ATM8F3140A 的指令集完全兼容标准 MCS-51™ 指令集。支持标准 8051 的开发工具开发应用程序。所有指令的指令代码, 寻址方式和 PSW 标志都与标准 51 一致。

表 7-2 包括了列举了文中描述所使用的助记符。

表 7-3 给出了指令的 16 进制指令代码, 指令字节数和指令执行所需的时间。

表 7- 2 寻址方式助记符

符号	描述
Rn	当前选中的工作寄存器区的 8 个工作寄存器 Rn (n=0~7)
Direct	8 位内部数据存储器单元的地址。可以是内部 RAM 单元的地址 (00H~FFH) 或 SFR 的地址 (如 I/O 端口、控制寄存器、状态寄存器等)
Ri	当前选中的工作寄存器区中可作间址寄存器的 2 个寄存器 Ri (i=0, 1)。

#data	包含在指令中的 8 位立即数
#data16	包含在指令中的 16 位立即数
Bit	内部 RAM 或 SFR 中的直接寻址位
A	累加器
B	B 寄存器，用于 MUL 和 DIV 指令中
Addr16	16 位目的地址，用于 LCALL 和 LJMPL 指令中。
Addr11	11 位目的地址，用于 ACALL 和 AJMP 指令中，它的地址必须与下一条指令的第一个字节的地址的高 5 位相同
rel	8 位带符号的地址偏移量，用于 SJMP 和所有的条件转移指令中；偏移值相对于下一条指令的第一个字节的地址计算，在 -128~+127 范围内取值。
CY	进位或者借位标志
@	间址寄存器或基址寄存器的前缀，如 @Ri, @A, @DPTR。
(X)	X 中的内容

表 7- 3 操作指令集

助记符	描述	指令代码	占用字节	周期
算术运算类指令				
ADD A, Rn	$A = A + Rn$	0x28-0x2F	1	1
ADD A, Direct	$A = A + (\text{Direct})$	0x25	2	2
ADD A, @Ri	$A = A + (Ri)$	0x26-0x27	1	2
ADD A, #data	$A = A + \text{data}$	0x24	2	2
ADDC A, Rn	$A = A + Rn + CY$	0x38-0x3F	1	1
ADDC A, Direct	$A = A + (\text{Direct}) + CY$	0x35	2	2
ADDC A, @Ri	$A = A + (Ri) + CY$	0x36-0x37	1	2
ADDC A, #data	$A = A + \text{data} + CY$	0x34	2	2
SUBB A, Rn	$A = A - Rn - CY$	0x98-0x9F	1	1
SUBB A, Direct	$A = A - (\text{Direct}) - CY$	0x95	2	2
SUBB A, @Ri	$A = A - (Ri) - CY$	0x96-0x97	1	2
SUBB A, #data	$A = A - \text{data} - CY$	0x94	2	2
INC A	$A = A + 1$	0x04	1	1
INC Rn	$Rn = Rn + 1$	0x08-0x0F	1	1
INC Direct	$(\text{Direct}) = (\text{Direct}) + 1$	0x05	2	2
INC @Ri	$(Ri) = (Ri) + 1$	0x06-0x07	1	2
INC DPTR	$DPTR = DPTR + 1$	0xA3	1	1
DEC A	$A = A - 1$	0x14	1	1
DEC Rn	$Rn = Rn - 1$	0x18-0x1F	1	1
DEC Direct	$(\text{Direct}) = (\text{Direct}) - 1$	0x15	2	2
DEC @Ri	$(Ri) = (Ri) - 1$	0x16-0x17	1	2
MUL AB	$A = A \times B$	0xA4	1	4
DIV	$A = A / B$	0x84	1	4
逻辑操作(13*3+7)+3				
ANL A, Rn	$A = A \& B$	0x58-0x5F	1	1
ANL A, Direct	$A = A \& (\text{Direct})$	0x55	2	2
ANL A, @Ri	$A = A \& (Ri)$	0x56-0x57	1	2

助记符	描述	指令代码	占用字节	周期
ANL A, #data	$A = A \& \text{data}$	0x54	2	2
ANL direct, A	$(\text{Direct}) = (\text{Direct}) \& A$	0x52	2	2
ANL direct, #data	$(\text{Direct}) = (\text{Direct}) \& \text{data}$	0x53	3	3
ORL A, Rn	$A = A B$	0x48-0x4F	1	1
ORL A, Direct	$A = A (\text{Direct})$	0x45	2	2
ORL A, @Ri	$A = A (Ri)$	0x46-0x47	1	2
ORL A, #data	$A = A \text{data}$	0x44	2	2
ORL direct, A	$(\text{Direct}) = (\text{Direct}) A$	0x42	2	2
ORL direct, #data	$(\text{Direct}) = (\text{Direct}) \text{data}$	0x43	3	3
XRL A, Rn	$A = A \wedge B$	0x68-0x6F	1	1
XRL A, Direct	$A = A \wedge (\text{Direct})$	0x65	2	2
XRL A, @Ri	$A = A \wedge (Ri)$	0x66-0x67	1	2
XRL A, #data	$A = A \wedge \text{data}$	0x64	2	2
XRL direct, A	$(\text{Direct}) = (\text{Direct}) \wedge A$	0x62	2	2
XRL direct, #data	$(\text{Direct}) = (\text{Direct}) \wedge \text{data}$	0x63	3	3
CLR A	把累加器 A 清零	0xE4	1	1
CPL A	把累加器 A 取补后赋值给 A	0xF4	1	1
RL A	把累加器 A 的各个位循环左移一位	0x23	1	1
RLC A	把累加器 A 的各个位, 连同进位标志循环左移一位	0x33	1	1
RR A	把累加器 A 的各个位循环右移一位	0x03	1	1
RRC A	把累加器 A 的各个位, 连同进位标志循环右移一位	0x13	1	1
SWAP A	交换累加器 A 中的低 4 位和高 4 位	0xC4	1	1
数据转移指令(68+10)				
MOV A, Rn	$A = Rn$	0xE8-0xEF	1	1
MOV A, Direct	$A = (\text{Direct})$	0xE5	2	2
MOV A, @Ri	$A = (Ri)$	0xE6-0xE7	1	2
MOV A, #data	$A = \text{data}$	0x74	2	2
MOV Rn, A	$Rn = A$	0xF8-0xFF	1	1
MOV Rn, Direct	$Rn = (\text{Direct})$	0xA8-0xAF	2	2
MOV Rn, #data	$Rn = \text{data}$	0x78-0x7F	2	2
MOV Direct, A	$(\text{Direct}) = A$	0xF5	2	2
MOV Direct, Rn	$(\text{Direct}) = Rn$	0x88-0x8F	2	2
MOV Direct1, Direct2	$(\text{Direct1}) = (\text{Direct2})$	0x85	3	3
MOV Direct, @Ri	$(\text{Direct}) = (Ri)$	0x86-0x87	2	2
MOV Direct, #data	$(\text{Direct}) = \text{data}$	0x75	3	3
MOV @Ri, A	$(Ri) = A$	0xF6-0xF7	1	1
MOV @Ri, direct	$(Ri) = (\text{Direct})$	0xA6-0xA7	2	2
MOV @Ri, #data	$(Ri) = \text{data}$	0x76-0x77	2	2
MOV DPTR, #data16	$\text{DPTR} = \text{data16}$	0x90	3	3
MOVC A, @A+DPTR	$A = (A + \text{DPTR})$	0x93	1	3
MOVC A, @A+PC	$A = (A + \text{PC})$	0x83	1	3
MOVX A, @Ri	$A = (Ri)$, Ri 代表外部数据存储器的 8 位地址	0xE2-0xE3	1	3-10

助记符	描述	指令代码	占用字节	周期
MOVX A, @DPTR	A=(DPTR), DPTR 代表外部数据存储器的 16 位地址	0xE0	1	3-10
MOVX @Ri, A	(Ri)=A, Ri 代表外部数据存储器的 8 位地址	0xF2-0xF3	1	3-12
MOVX @DPTR, A	(DPTR)=A, DPTR 代表外部数据存储器的 16 位地址	0xF0	1	3-12
PUSH Direct	(SP)=(Direct), SP=SP+1	0xC0	2	2
POP Direct	(Direct)=(SP), SP=SP-1	0xD0	2	2
XCH A, Rn	A=(Rn), (Rn)=A	0xC8-0xCF	1	1
XCH A, Direct	A=(Direct), (Direct)=A	0xC5	2	2
XCH A, @Ri	A=(Ri), (Ri)=A	0xC6-0xC7	1	2
XCHD A, @Ri	A[3:0] = (Ri)[3:0], (Ri)[3:0]=A[3:0]	0xD6-0xD7	1	2
跳转分支(18)+33				
ACALL Addr11	子程序调用	xxx10001b	2	2
LCALL Addr16	子程序长调用	0x12	3	3
RET	子程序返回	0x22	1	4
RETI	中断返回	0x32	1	4
AJMP Addr11	绝对跳转	Xxx00001b	2	2
LJMP Addr16	长跳转	0x02	3	3
SJMP rel	短跳转	0x80	2	2
JMP @A+DPTR	程序跳转到 A+DPTR 地址	0x73	1	3
JZ rel	累加器为零跳转	0x60	2	3
JNZ rel	累加器非零跳转	0x70	2	3
JC rel	进位跳转	0x40	2	3
JNC rel	非进位跳转	0x50	2	3
JB bit, rel	如果 bit 所代表的位不为零跳转	0x20	3	4
JNB bit, rel	如果 bit 所代表的位为零跳转	0x30	3	4
JBC bit, rel	如果 bit 所代表的位不为零跳转, 同时清除该 bit	0x10	3	4
CJNE A, direct,rel	如果 A 与(direct)的值不等跳转	0xB6	3	4
CJNE A, #data, rel	如果 A 与 data 的值不等跳转	0xB4	3	4
CJNE Rn, #data, rel	如果 Rn 与 data 的值不等跳转	0xB8-0xBF	3	4
CJNE @Ri, #data, rel	如果(Ri)与 data 的值不等跳转	0xB6-0xB7	3	5
DJNZ Rn, rel	如果 Rn-1 不为零跳转	0xD8-0xDF	2	3
DJNZ direct, rel	如果(direct)-1 不为零跳转	0xD5	3	4
NOP	空指令	0x00	1	1
位操作				
CLR C	清除进位标志	0xC3	1	1
CLR bit	把 bit 代表的位寻址空间中的某位清零	0xC2	2	2
SETB C	置进位标志	0xD3	1	1
SETB bit	把 bit 代表的位寻址空间中的某位置 1	0xD2	2	2
CPL C	把进位标志取反	0xB3	1	2
CPL bit	把 bit 代表的位寻址空间中的某位取反	0xB2	2	2
ANL C, bit	C=C & bit	0x82	2	2
ANL C, /bit	C= C & (!bit)	0xB0	2	2
ORL C, bit	C= C bit	0x72	2	2

助记符	描述	指令代码	占用字节	周期
ORL C, /bit	C= C (!bit)	0xA0	2	2
MOV C, bit	C= bit	0xA2	2	2
MOV bit, C	Bit = C	0x92	2	2



8. 中断系统

8.1. 规格介绍

ATM8F3140A 采用 8 位单周期快速 51 核，最多支持 19 组共 31 个独立中断源。其中组 0 为复位中断，为不可屏蔽中断。其他 18 个组共 18 个中断源可配置为独立中断源，系统为这些中断源分配确定的中断入口地址，同时这些中断组也可以单独配置为不同的 4 个优先级。在实际使用中可通过若干个中断源共享一个中断入口地址来实现更多中断资源扩展。

当中断请求发生并被 CPU 接收时，主程序将停止运行。进入中断的动作如下：

- 等待当前指令执行完毕
- 将 PC 值压入堆栈
- 保存当前的中断状态并禁止同级或者更低优先级的中断执行
- 载入系统分配的中断入口地址
- 执行相应的中断子程序

当中断子程序执行完成，退出中断的动作如下表示：

- 中断子程序执行完成后执行 RETI 指令退出中断
- 系统执行 PC 值出栈动作
- 判断有无同级或者更低优先级中断，若无则继续执行中断之前的程序，若有则执行相应的中断子程序

◆ 注：以上功能根据需要添加。

8.2. 内部框图

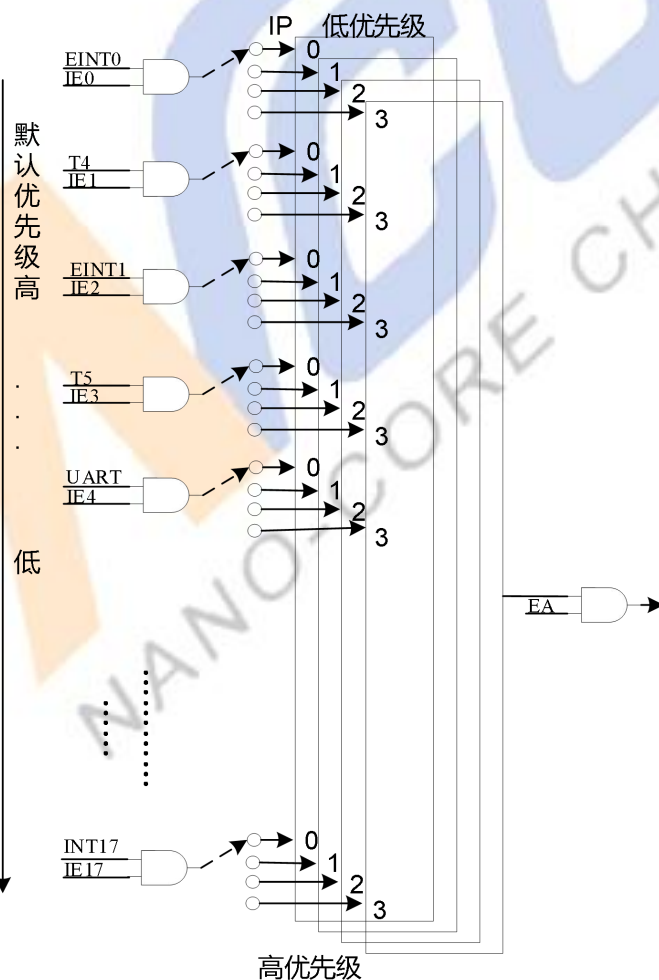


图 8-1 中断结构图

8.3. 中断向量表及优先级

31 个中断源分配为 19 个组，其相应的中断对应地址列表如下：

表 8- 1 中断向量表及优先级

组号	中断号	向量	说明	中断使能位	中断标志	清除
-1	-	00H	复位中断	不可屏蔽	保留	硬件
0	0	03H	外部中断 0, 管脚 P04, 低电平, 上升/下降沿触发	IEN0.0	TCON.1	软件/硬件
			看门狗匹配, 低电平, 上升/下降沿触发		TCON.1	软件/硬件
1	1	0BH	定时器 4 溢出中断	IEN0.1	T4CON.7	软件/硬件
2	2	13H	外部中断 1, 管脚 P05, 低电平, 上升/下降沿触发	IEN0.2	TCON.3	软件/硬件
			唤醒定时器溢出, 高/低电平, 下降沿触发		TCON.3	软件/硬件
3	3	1BH	定时器 5 溢出中断	IEN0.3	T5CON.7	软件/硬件
4	4	23H	UART 发送完成标志	IEN0.4	SCON.1	软件
			UART 接收完成标志		SCON.0	软件
5	5	2BH	Touch 中断标志	IEN0.5	TKCON.1	软件
6	6	33H	T2 匹配中断/溢出中断	IEN1.0	T2CON.7	软件/硬件
7	7	3BH	T3 溢出中断	IEN1.1	T3CON.7	软件/硬件
8	8	43H	ADC 转换结束标志	IEN1.2	ADCON.1	软件/硬件
9	9	4BH	SPI 传输完成标志位	IEN1.3	SPISTA.7	软件
			SPI 模式错误标志		SPISTA.4	软件
10	10	53H	时钟操作错误	IEN1.4	CLKSTAT.7	软件
11	11	5BH	外部中断 2, 管脚 P06, 低电平, 上升/下降沿触发	IEN1.5	INTFLG.4	软件/硬件
12	12	63H	外部中断 3, 管脚 P07, 低电平, 上升/下降沿触发	IEN2.0	INTFLG.5	软件/硬件
13	13	6BH	外部中断 4, 管脚 P40, 低电平, 上升/下降沿触发	IEN2.1	INTFLG.0	软件/硬件
			外部中断 4, 管脚 P41, 低电平, 上升/下降沿触发		INTFLG.1	软件/硬件
			外部中断 4, 管脚 P42, 低电平, 上升/下降沿触发		INTFLG.2	软件/硬件
			外部中断 4, 管脚 P43, 低电平, 上升/下降沿触发		INTFLG.3	软件/硬件
14	14	73H	I2C 标志	IEN2.2	I2CCON.3	软件
15	15	7BH	PWM 周期溢出标志	IEN2.3	PWMSTA.0	软件
			PWM0 匹配标志位		PWMSTA.1	软件
			PWM1 匹配标志位		PWMSTA.2	软件
16	16	83H	ADC 转换结果匹配标志	IEN2.4	ADCON.2	软件/硬件
17	17	8BH	CPL	IEN2.5	CPLCON.7	软件/硬件

在中断响应执行时中断优先级按照组号越小, 中断优先级越高, 同一组内的中断, 中断向量地址越小优先级越高的顺序执行。对组 0 中断 (系统复位 RST, 中断向量地址为 0000H), 其具有最高的优先级, 且不可屏蔽, 只要发生就直接复位整个芯片, 主程序将重新从地址 0000H 开始执行。对于其他中断源受全局中断使能位和各自相应的中断使能位控制。当全局中断使能位为 0 时, 所有的中断都不会发生。只有当全局中断使能位为 1, 同时相应的中断使能位也置 1 时才能开启相应的中断。

ATM8F3140A 最大可支持 4 级中断优先级，用户可以通过中断优先级寄存器（IP00，IP01，IP10，IP11，IP20，IP21）为每个组分配固定的中断优先级。在同一中断优先级内，组号小的中断源优先响应中断，同一组内中断向量小的中断源优先响应中断。对于上述 18 个组中断源（除 RST 复位），用户可以随意设置其相应的中断优先级。不同优先级配置时，按照中断优先级值设置越高，其相应的组的优先级越高，即中断优先级为 3 的中断源优先级高于中断优先级为 2 的中断源。

系统中断源的优先级如图 9-1 中断结构图所示，图中中断使能位的设置由 IEN0~IEN2 共三个寄存器设置，每个寄存器控制 6 个中断源。全局中断使能由 IEN0 的第 7 位控制。中断优先级的控制由 IP00，IP01，IP10，IP11，IP20，IP21 共六个寄存器控制。

8.4. 寄存器描述

表 8-2 中断控制寄存器列表

名称	说明	可位寻址	读写权限	复位值	BANK 地址	字节地址
IEN0	中断使能寄存器 0	×	R/W	0000_0000B	ALL BANK	A8H
IEN1	中断使能寄存器 1	×	R/W	0000_0000B	ALL BANK	C0H
IEN2	中断使能寄存器 2	×	R/W	0000_0000B	ALL BANK	C8H
IP00	中断优先级配置寄存器 00	×	R/W	0000_0000B	ALL BANK	B8H
IP01	中断优先级配置寄存器 01	×	R/W	0000_0000B	ALL BANK	A5H
IP10	中断优先级配置寄存器 10	×	R/W	0000_0000B	ALL BANK	A6H
IP11	中断优先级配置寄存器 11	×	R/W	0000_0000B	ALL BANK	A7H
IP20	中断优先级配置寄存器 20	×	R/W	0000_0000B	ALL BANK	CBH
IP21	中断优先级配置寄存器 21	×	R/W	0000_0000B	ALL BANK	CCH

中断控制寄存器详细说明如下：

8.4.1. 中断使能寄存器 0（IEN0）

名称/地址:	IEN0, ALL BANK, A8H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	EA	-	TC	ES	T5	EX1	T4	EX0
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

- Bit7: EA， 全部中断使能位
 - 0: 禁止中断
 - 1: 使能中断
- Bit6: 保留
- Bit5: TC， 唤醒定时器中断使能位
 - 0: 禁止
 - 1: 使能
- Bit4: ES， 串口中断使能位
 - 0: 禁止
 - 1: 使能
- Bit3: Time5， 定时器 5 中断使能位
 - 0: 禁止
 - 1: 使能
- Bit2: EINT1， 外部中断 1 使能位
 - 0: 禁止
 - 1: 使能

- Bit1: Time4, 定时器 4 中断使能位
 - 0: 禁止
 - 1: 使能
- Bit0: EINT0, 外部中断 0 使能位
 - 0: 禁止
 - 1: 使能

8.4.2. 中断使能寄存器 1 (IEN1)

名称/地址:	IEN1, ALL BANK, C0H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	-	-	EX2	CE	SPI	ADC	T3	T2
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	一： 未实现位； U： 不受复位影响； R-0： 只读， 读 0； R/W ： 可读写							

- Bit[7:6]: 保留
- Bit5: INT2, 外部中断 2 使能位
 - 0: 禁止
 - 1: 使能
- Bit4: CE, CLK ERR 中断使能位
 - 0: 禁止
 - 1: 使能
- Bit3: SPI, 定时器 SPI 中断使能位
 - 0: 禁止
 - 1: 使能
- Bit2: ADC, ADC 转换结束中断使能位
 - 0: 禁止
 - 1: 使能
- Bit1: Time3, 定时器 3 中断使能位
 - 0: 禁止
 - 1: 使能
- Bit0: Time2, 定时器 2 中断使能位
 - 0: 禁止
 - 1: 使能

8.4.3. 中断使能寄存器 2 (IEN2)

名称/地址:	IEN2, ALL BANK, C8H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	-	-	CPL	ADCCM	PWM	IIC	EX4	EX3
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	一: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

- Bit[7:6]: 保留
- Bit5: CPL, CPL 中断使能位
 - 0: 禁止
 - 1: 使能

- Bit4: ADCCM, ADC 比较中断使能位
 - 0: 禁止
 - 1: 使能
- Bit3: PWM, PWM 中断使能位
 - 0: 禁止
 - 1: 使能
- Bit2: IIC, IIC 中断使能位
 - 0: 禁止
 - 1: 使能
- Bit1: INT4, 外部中断 4 使能位
 - 0: 禁止
 - 1: 使能
- Bit0: INT3, 外部中断 3 使能位
 - 0: 禁止
 - 1: 使能

8.4.4. 中断优先级寄存器 00 (IP00)

名称/地址:	IP00, ALL BANK, B8H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	-	-	IP05A	IP04A	IP03A	IP02A	IP01A	IP00A
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W: 可读写							

- Bit[7:6]: 保留
- Bit5: IP05A, 与中断优先级寄存器 01 (IP01) 中对应 IP05B 一起确定中断组 5 优先级 {IP05B, IP05A}:
 - 00: 中断优先级 0
 - 01: 中断优先级 1
 - 10: 中断优先级 2
 - 11: 中断优先级 3
- Bit4: IP04A, 与中断优先级寄存器 01 (IP01) 中对应 IP04B 一起确定中断组 4 优先级 {IP04B, IP04A}:
 - 00: 中断优先级 0
 - 01: 中断优先级 1
 - 10: 中断优先级 2
 - 11: 中断优先级 3
- Bit3: IP03A, 与中断优先级寄存器 01 (IP01) 中对应 IP03B 一起确定中断组 3 优先级 {IP03B, IP03A}:
 - 00: 中断优先级 0
 - 01: 中断优先级 1
 - 10: 中断优先级 2
 - 11: 中断优先级 3
- Bit2: IP02A, 与中断优先级寄存器 01 (IP01) 中对应 IP02B 一起确定中断组 2 优先级 {IP02B, IP02A}:
 - 00: 中断优先级 0
 - 01: 中断优先级 1
 - 10: 中断优先级 2
 - 11: 中断优先级 3

00: 中断优先级 0

01: 中断优先级 1

10: 中断优先级 2

11: 中断优先级 3

- Bit1: IP01A, 与中断优先级寄存器 01 (IP01) 中对应 IP01B 一起确定中断组 1 优先级 {IP01B, IP01A}:

00: 中断优先级 0

01: 中断优先级 1

10: 中断优先级 2

11: 中断优先级 3

- Bit0: IP00A, 与中断优先级寄存器 01 (IP01) 中对应 IP00B 一起确定中断组 0 优先级 {IP00B, IP00A}:

00: 中断优先级 0

01: 中断优先级 1

10: 中断优先级 2

11: 中断优先级 3

8.4.5. 中断优先级寄存器 01 (IP01)

名称/地址:

IP01, ALL BANK, A5H

位 序 号:

Bit7

Bit6

Bit5

Bit4

Bit3

Bit2

Bit1

Bit0

位 定 义:

-

-

IP05B

IP04B

IP03B

IP02B

IP01B

IP00B

访问权限:

R/W

R/W

R/W

R/W

R/W

R/W

R/W

R/W

复 位 值:

0

0

0

0

0

0

0

0

提 示:

—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写

- Bit[7:6]: 保留

- Bit[5:0]: 参考 IP00 寄存器描述

8.4.6. 中断优先级寄存器 10 (IP10)

名称/地址:

IP10, ALL BANK, A6H

位 序 号:

Bit7

Bit6

Bit5

Bit4

Bit3

Bit2

Bit1

Bit0

位 定 义:

-

-

IP11A

IP10A

IP09A

IP08A

IP07A

IP06A

访问权限:

R/W

R/W

R/W

R/W

R/W

R/W

R/W

R/W

复 位 值:

0

0

0

0

0

0

0

0

提 示:

—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写

- Bit[7:6]: 保留

- Bit5: IP11A, 与中断优先级寄存器 11 (IP11) 中对应 IP11B 一起确定中断组 11 优先级 {IP11B, IP11A}:

00: 中断优先级 0

01: 中断优先级 1

10: 中断优先级 2

11: 中断优先级 3

- Bit4: IP10A, 与中断优先级寄存器 11 (IP11) 中对应 IP10B 一起确定中断组 10 优先级 {IP10B, IP10A}:

00: 中断优先级 0

01: 中断优先级 1

- 10: 中断优先级 2
- 11: 中断优先级 3
- Bit3: IP09A, 与中断优先级寄存器 11 (IP11) 中对应 IP09B 一起确定中断组 9 优先级 {IP09B, IP09A}:
- 00: 中断优先级 0
- 01: 中断优先级 1
- 10: 中断优先级 2
- 11: 中断优先级 3
- Bit2: IP08A, 与中断优先级寄存器 11 (IP11) 中对应 IP08B 一起确定中断组 8 优先级 {IP08B, IP08A}:
- 00: 中断优先级 0
- 01: 中断优先级 1
- 10: 中断优先级 2
- 11: 中断优先级 3
- Bit1: IP07A, 与中断优先级寄存器 11 (IP11) 中对应 IP07B 一起确定中断组 7 优先级 {IP07B, IP07A}:
- 00: 中断优先级 0
- 01: 中断优先级 1
- 10: 中断优先级 2
- 11: 中断优先级 3
- Bit0: IP06A, 与中断优先级寄存器 11 (IP11) 中对应 IP06B 一起确定中断组 6 优先级 {IP06B, IP06A}:
- 00: 中断优先级 0
- 01: 中断优先级 1
- 10: 中断优先级 2
- 11: 中断优先级 3

8.4.7. 中断优先级寄存器 11 (IP11)

名称/地址:	IP11, ALL BANK, A7H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	-	-	IP11B	IP10B	IP09B	IP08B	IP07B	IP06B
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	一: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

- Bit[7:6]: 保留
- Bit[5:0]: 参考 IP10 寄存器描述

8.4.8. 中断优先级寄存器 20 (IP20)

名称/地址:	IP20, ALL BANK, CBH							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	-	-	IP17A	IP16A	IP15A	IP14A	IP13A	IP12A
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	一: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

- Bit[7:6]: 保留

- Bit5: IP17A, 与中断优先级寄存器 21 (IP21) 中对应 IP17B 一起确定中断组 17 优先级 {IP17B, IP17A}:
 - 00: 中断优先级 0
 - 01: 中断优先级 1
 - 10: 中断优先级 2
 - 11: 中断优先级 3
- Bit4: IP16A, 与中断优先级寄存器 21 (IP21) 中对应 IP16B 一起确定中断组 16 优先级 {IP16B, IP16A}:
 - 00: 中断优先级 0
 - 01: 中断优先级 1
 - 10: 中断优先级 2
 - 11: 中断优先级 3
- Bit3: IP15A, 与中断优先级寄存器 21 (IP21) 中对应 IP15B 一起确定中断组 15 优先级 {IP15B, IP15A}:
 - 00: 中断优先级 0
 - 01: 中断优先级 1
 - 10: 中断优先级 2
 - 11: 中断优先级 3
- Bit2: IP14A, 与中断优先级寄存器 21 (IP21) 中对应 IP14B 一起确定中断组 14 优先级 {IP14B, IP14A}:
 - 00: 中断优先级 0
 - 01: 中断优先级 1
 - 10: 中断优先级 2
 - 11: 中断优先级 3
- Bit1: IP13A, 与中断优先级寄存器 21 (IP21) 中对应 IP13B 一起确定中断组 13 优先级 {IP13B, IP13A}:
 - 00: 中断优先级 0
 - 01: 中断优先级 1
 - 10: 中断优先级 2
 - 11: 中断优先级 3
- Bit0: IP12A, 与中断优先级寄存器 21 (IP21) 中对应 IP12B 一起确定中断组 12 优先级 {IP12B, IP12A}:
 - 00: 中断优先级 0
 - 01: 中断优先级 1
 - 10: 中断优先级 2
 - 11: 中断优先级 3

8.4.9. 中断优先级寄存器 21 (IP21)

名称/地址:	IP21, ALL BANK, CCH							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	-	-	IP17B	IP16B	IP15B	IP14B	IP13B	IP12B
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	一: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

- Bit[7:6]: 保留
- Bit[5:0]: 参考 IP20 寄存器描述

8.5. 功能描述

程序正常运行时，如果某个中断满足条件，相应的中断标志将置 1, 若此时相应的中断使能位使能，同时全局中断打开，该中断将会被执行。CPU 等待当前指令结束完成后，保持 PC 指针到堆栈，跳转到相应的中断向量地址开始执行中断服务子程序。子程序执行完毕后，通过 RETI 指令退出中断服务子程序。CPU 从堆栈中出栈中断服务子程序执行前的 PC 指针，继续先前程序的执行。

如果对应中断使能位未使能或者全局中断未打开，那么中断标志虽然置起，但是中断子程序不会运行。

中断标志的清除有两种方式，一种是硬件清除，一种是软件清除。当中断允许，同时 CPU 响应中断时，系统硬件将会自动将中断位清除。若中断未允许，中断标志位只能通过软件清除。

在中断执行时，设置为高优先级的中断可以中断低优先级的中断。同级的中断不能嵌套。当多个中断源同时发生时，中断组号低的中断源优先级高于中断组号高的中断优先级，同一组中，低中断向量的中断源优先级高于高中断向量的中断优先级。

中断响应时间与当前中断的指令有关，若不执行 MOVX 指令，则中断响应时间低于 7 个 CPU 时钟。若在执行 MOVX 指令时发生中断，最大会有 14 个 CPU 时钟周期的延迟。

9. 外部中断

9.1. 规格介绍

- ATM8F3140A 的外部中断分成两种类型，共支持 8 个外部中断源
- 其中外部中断 0~3 是中断类型 A，每个中断都独立对应一个中断入口地址，外部中断 INT40~INT43 是中断类型 B，共用一个中断入口地址
- 外部中断 0 可以选择外部管脚 P04 输入或者是 WDT 定时器匹配输入。
- 外部中断 1 可以选择外部管脚 P05 输入或者是 WT 定时器溢出输入。
- 外部中断 2 可以选择外部管脚 P06 输入
- 外部中断 3 可以选择外部管脚 P07 输入
- 8 个外部中断源都可以作为停机模式的唤醒源

9.2. 基本特征

- 中断源均可设置为电平触发或者边沿触发
- 中断源配置为电平触发时，仅支持低电平触发
- 中断源配置为脉冲触发时，均支持上沿，下沿触发或者双沿触发

9.3. 内部框图

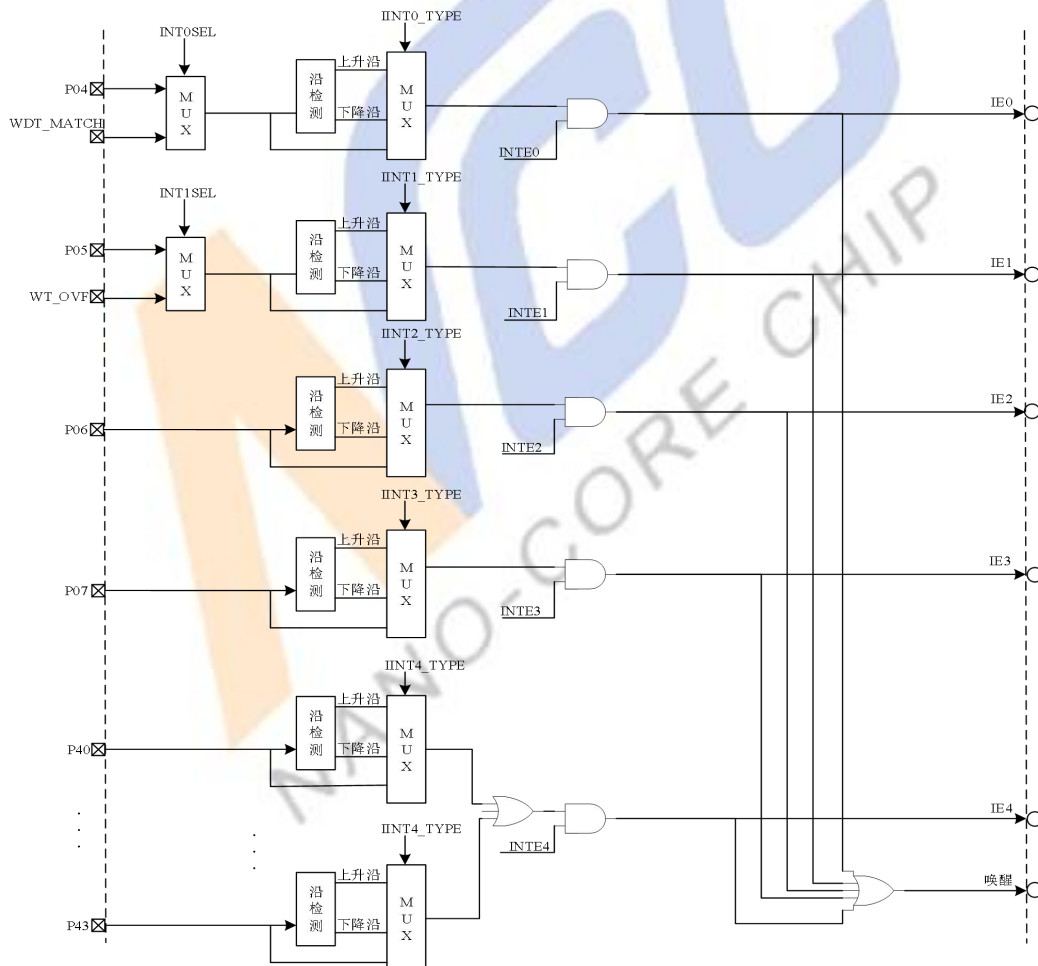


图 9-1 中断结构图

9.4. 寄存器描述

表 9-1 中断控制寄存器列表

名称	说明	可位寻址	读写权限	复位值	BANK 地址	字节地址
----	----	------	------	-----	---------	------

TCON	T0/1 控制寄存器	√	R/W	0000_0000B	BANK0/1	88H
INTEN	外部中断使能寄存器	×	R/W	0000_0000B	BANK0	B1H
INTCTRL	外部中断类型寄存器	×	R/W	0000_0000B	BANK0	B2H
INTFLG	外部中断标志寄存器	×	R/W	0000_0000B	BANK0	B3H

中断控制寄存器详细说明如下：

9.4.1. T0/1 控制寄存器（TCON）

名称/地址:	TCON, BANK ALL, 88H						
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1
位 定 义:	-	-	-	-	IE1	-	IE0
位 地 址:	8FH	8EH	8DH	8CH	8BH	8AH	89H
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0
提 示:	一： 未实现位； U： 不受复位影响； R-0： 只读， 读 0； R/W ： 可读写						

➤ Bit3: IE1, 外部中断 1 标志位， 写零清除

➤ Bit1: IE0, 外部中断 0 标志位， 写零清除

9.4.2. 外部中断使能寄存器（INTEN）

名称/地址:	INTEN, BANK0, B1H						
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1
位 定 义:	INT4TYPE1	INT4TYPE0	INT3TYPE1	INT3TYPE0	INTEN43	INTEN42	INTEN41
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0
提 示:	一： 未实现位； U： 不受复位影响； R-0： 只读， 读 0； R/W ： 可读写						

➤ Bit[7:6]: INT4TYPE, INT4 触发条件选择

00: 低电平产生中断

01: 下降沿产生中断

10: 上升沿产生中断

11: 下降沿和上升沿均产生中断

➤ Bit[5:4]: INT3TYPE: INT3 触发条件选择

00: 低电平产生中断

01: 下降沿产生中断

10: 上升沿产生中断

11: 下降沿和上升沿均产生中断

➤ Bit3: INTEN43: P43 外部中断使能

➤ Bit2: INTEN42: P42 外部中断使能

➤ Bit1: INTEN41: P41 外部中断使能

➤ Bit0: INTEN40: P40 外部中断使能

9.4.3. 外部中断类型寄存器（INTCTRL）

名称/地址:	INTCTRL, BANK0, B2H						
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1
位 定 义:	INT1SEL	INT0SEL	INT2TYPE1	INT2TYPE0	INT1TYPE1	INT1TYPE0	INT0TYPE1
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0

提示： 一： 未实现位； U： 不受复位影响； R-0： 只读，读 0； R/W ： 可读写

- Bit7: INT1SEL, INT1 源选择
 - 0: 选择 P05 作为输入
 - 1: 选择 WT 溢出信号
- Bit6: INTOSEL, INTO 源选择
 - 0: 选择 P04 作为输入
 - 1: 选择 WDT 匹配信号
- Bit[5:4]: INT2TYPE, INT2 触发条件选择
 - 00: 低电平产生中断
 - 01: 下降沿产生中断
 - 10: 上升沿产生中断
 - 11: 下降沿和上升沿均产生中断
- Bit[3:2]: INT1TYPE, INT1 触发条件选择
 - 00: 低电平产生中断
 - 01: 下降沿产生中断
 - 10: 上升沿产生中断
 - 11: 下降沿和上升沿均产生中断
- Bit[1:0]: INT0TYPE, INT0 触发条件选择
 - 00: 低电平产生中断
 - 01: 下降沿产生中断
 - 10: 上升沿产生中断
 - 11: 下降沿和上升沿均产生中断

9.4.4. 外部中断状态寄存器 (INTFLG)

名称/地址:	INTFLG, BANK0, B3H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	-	-	IE3	IE2	IE43	IE42	IE41	IE40
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	一： 未实现位； U： 不受复位影响； R-0： 只读，读 0； R/W ： 可读写							

- Bit5: IE3, 外部中断 3 中断标志位，写 0 清除
- Bit4: IE2, 外部中断 2 中断标志位，写 0 清除
- Bit3: IE43, 外部中断 43 中断标志位，写 0 清除
- Bit2: IE42, 外部中断 42 中断标志位，写 0 清除
- Bit1: IE41, 外部中断 41 中断标志位，写 0 清除
- Bit0: IE40, 外部中断 40 中断标志位，写 0 清除

9.5. 寄存器描述

在设置外部中断复用时，首先需要配置 I/O 控制寄存器为输入模式。对于中断 4 的源，可通过 INT4EN 选择各个通道的使能。

对于通过 INTYPE 寄存器配置中断的类型，可以是电平中断，也可以是沿中断。通过 INTOSEL 可选择外部中断 0 的中断源是 P04 还是 WDT 匹配信号。通过 INT1SEL 可选择外部中断 1 的中断源是 P05 还是 WT 的溢出信号。

在 STOP 模式下，用户可以选择 INT0/INT1/ INT2/INT3/INT4 中的任何一个作为源来唤醒 CPU。如果采用电平来作为唤醒源时，需要保证足够的电平宽度。在进入 STOP 模式之前，要确保各个中断标志位都被清零，否则可能无法进入 STOP 模式。

10. 复位

10.1. 基本特征

ATM8F3140A 拥有 7 个复位源，分别为：

- 外部管脚复位 ERST
- 上电复位 POR
- 低压复位 BOR
- WDT 复位 WDTR
- 软件复位 SRST
- 调试复位 DBGRST
- 堆栈溢出复位 SPRST

10.2. 工作模式

正常工作模式下：外部复位/上电复位/软件复位都是有效复位，BOR 以及 WDT 复位是否打开由软件控制。

IDLE/STOP 模式下：外部复位/上电复位可产生复位，由于 CPU 停止所以不会产生软件复位。BOR 以及 WDT 复位是否打开由软件控制。

默认情况下 BOR 开启，WDT 不工作。

调试复位只有在调试模式下发生调试复位命令方可复位。

10.3. 内部框图

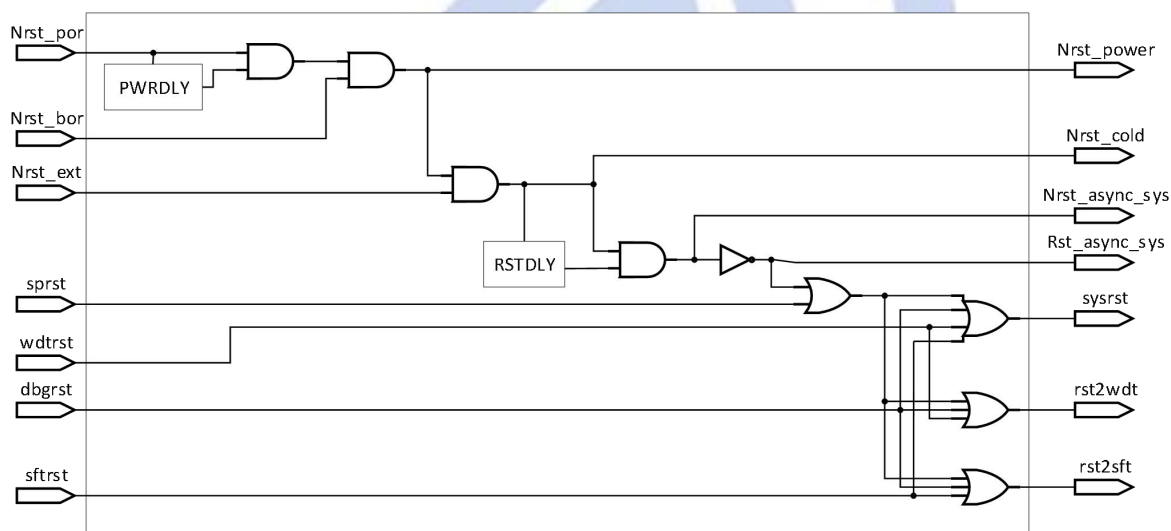


图 10-1 复位结构内部框图

10.4. 寄存器描述

表 10-1 复位寄存器列表

名称	说明	可位寻址	读写权限	复位值	BANK 地址	字节地址
RESETID	复位标志寄存器	x	R	0000_0xxxB	BANK0	C7H
SPOVL	堆栈低溢出寄存器	x	R/W	1111_1111B	BANK1	E6H
SPOVH	堆栈高溢出寄存器	x	R/W	0000_0000B	BANK1	E7H

复位寄存器详细说明如下：

10.4.1. 复位标志寄存器（RSTID）

名称/地址:	RESETID, BANK0, C7H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0

位 定 义:

访问权限:

复 位 值:

提 示:

	SPRST	DBGST	SRST	WDTRST	ERST	BORST	PORST
	R/W	R/W	R/W	R/W	R/W	R/W	W
	-	-	-	-	-	-	-
—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

- Bit7: 保留
- Bit6: SPRST, 堆栈溢出复位标志
0: 未发生堆栈溢出复位
1: 发生堆栈溢出复位
- Bit5: DBGST, 调试复位标志, 写 0 清除, 写 1 不会影响该位状态
0: 未发生调试复位
1: 发生调试复位
- Bit4: SRST, 软件复位标志, 写 0 清除, 写 1 不会影响该位状态
0: 未发生软件复位
1: 发生软件复位
- Bit3: WDTRST, 看门狗复位标志, 写 0 清除, 写 1 不会影响该位状态
0: 未发生看门狗复位
1: 发生看门狗复位
- Bit2: ERST, 外部复位标志, 写 0 清除, 写 1 不会影响该位状态
0: 未发生外部复位
1: 发生外部复位
- Bit1: BORST, 低压复位标志, 写 0 清除, 写 1 不会影响该位状态
0: 未发生低压复位
1: 发生低压复位
- Bit0: PORST, 上电复位标志, 写 0 清除, 写 1 不会影响该位状态
0: 未发生上电复位
1: 发生上电复位

在第一次上电复位时, PORST, BORST, ERST 将会置 1。

10.4.2. 堆栈低溢出寄存器 (SPOVL)

名称/地址:

位 序 号:

位 定 义:

访问权限:

复 位 值:

提 示:

SPOVL, BANK1, E6H							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
SPOVL							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
-	-	-	-	-	-	-	-
—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

- Bit[7: 0]: SPOVL, 堆栈溢出低地址寄存器

10.4.3. 堆栈高溢出寄存器 (SPOVH)

名称/地址:

位 序 号:

位 定 义:

访问权限:

复 位 值:

提 示:

SPOVH, BANK1, E7H							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
SPOVH							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
-	-	-	-	-	-	-	-
—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

➤ Bit[7: 0]: SPOVH, 堆栈溢出高地址寄存器

10.5. 功能描述

ATM8F3140A 共支持 7 种复位源，共分为 2 大类：冷复位和热复位。其中，外部复位，上电复位，和低压复位属于冷复位。看门狗复位，软件复位，堆栈溢出复位和调试复位属于热复位。冷复位时系统会重新载入 FLASH 信息区中的存储内容，同时为了保证内核电压稳定，需要有一时间的延迟。热复位发生时，系统将直接复位，无须重新载入 FLASH 信息区中的存储内容，同时也无须等待内核电压稳定。相比而言，冷复位的时间相比热复位要长很多。

在正常工作模式下，系统上电启动时，为了保证内核电压能够达到一定水平保证芯片正常工作，需要对复位信号作一定延迟。如图所示。当 POR 复位释放后需要经过 646 个内部低频时钟 ILRC 时钟周期的延迟，以 32KHz 计算约 20ms，以保证电压上升到安全工作区。然后再经过 3072 个 IHRC 时钟周期的延迟释放复位信号。复位以后系统默认 RCL 和 IHRC 开启，系统工作在 IHRC 时钟模式，系统时钟不分频。在实际使用中，由于时钟频率随电压的变化，时间可能略长。

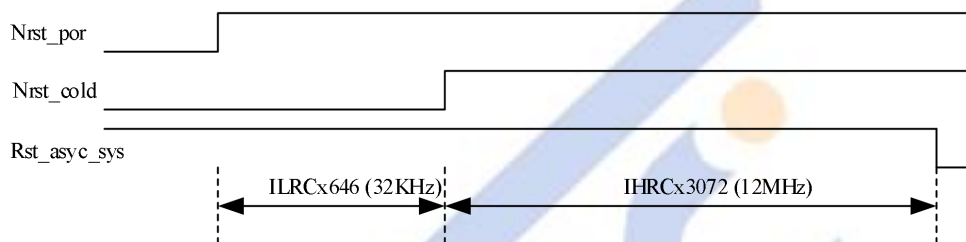


图 10- 2 POR 复位时序图

如果发生 BOR 复位唤醒或者外部复位唤醒时，系统等待 3072 个 IHRC 时钟延迟后正常进入工作状态。



图 10- 3 外部复位时序图

外部复位是通过外部复位脚来对芯片进行复位，当该管脚作为复位功能使用且被置位低电平时，系统复位将会发生。当该管脚释放时，MCU 进入初始化状态。复位标志寄存器中 ERST 位将被置 1，用户可以通过软件来清除该复位标志。

低压复位是当外部 VDD 低于设定的低压复位点时发生的复位。当电压低于设定低压复位点时，系统进入复位状态，当电压重新高于低压复位点时，系统进入初始化状。低压复位将会置位复位标志寄存器中的 BORST 位，用户可以通过软件来清除该复位标志。ATM8F3140A 共支持 4 个低压复位点，详见 BORCON 寄存器配置。在上电复位后，低压复位默认开启。

关于看门狗复位，具体配置详见看门狗章节。在 IDLE 或者 STOP 模式时通过配置相应字节可以唤醒或者复位整个系统。看门狗复位发生时，复位标志寄存器中的 WDTRST 位将被置 1，用户可以通过软件来清除该复位标志。在上电复位后，看门狗复位默认关闭。

软件复位，当程序跑到有效代码区以外的地方，会发生软件复位。软件复位不会复位调试模块，软件复位会置位复位标志寄存器中的 SRST 位，用户可以通过软件来清除该复位标志。

调试复位，当调试器向芯片写复位命令时将会发生调试复位。调试复位会置位复位标志寄存器中的 DBGRST 位，用户可以通过软件来清除该复位标志。

堆栈复位，当系统堆栈压栈后堆栈指针超出 SPOVH 或者出栈后堆栈指针小于 SPOVL 时发生堆栈溢出复位操作。堆栈溢出复位可由 PCON 中第 5 位 SPOVEN 位控制使能或者禁止。复位操作发生时，会置位复位标志寄存器中的 SPRST 位，用户可以通过软件来清除该复位标志。

11. 时钟

ATM8F3140A 最高工作频率可达到 12MHz，共有 3 种时钟源可供选择，分别是：

- ILRC：内部低频 RC 时钟源
- IHRC：内部高频 RC 时钟源（12MHz）
- XTAL：外部晶振，32768Hz

用户可以通过寄存器灵活配置不同的时钟源。对于时钟精度要求较高或者对于某些特殊应用场合可以采用外部晶振，对于低成本解决方案可以采用内部高频 RC。

11.1. 基本特征

- 支持多种时钟源，满足不同工作频率需求
- 支持系统时钟分频，系统时钟可分频为 1/2/4/12
- 具有外部晶振停振检测功能
- 支持时钟门控
- 具有时钟切换保护逻辑，提供切换错误信息

11.2. 工作模式

正常工作模式

正常工作模式下，所有的时钟源都可以关闭或者开启，但是选中作为系统时钟源的时钟不能关闭。

当系统时钟源选中 IHRC 作为系统时钟源时，除 IHRC 外其他时钟源可根据功耗要求关闭或打开。

当系统时钟源选中 ILRC 作为系统时钟源时，除 ILRC 外其他时钟源可根据功耗要求关闭或打开。

当系统时钟源选中 XTAL 作为系统时钟源时，除 XTAL 外其他时钟源可根据功耗要求关闭或打开。

复位状况下，系统默认选中 IHRC 作为系统时钟，同时系统时钟为 2 分频时钟。

IDLE 模式

IDLE 模式时 CPU 时钟将会停止，其他时钟可以正常工作。

STOP 模式

进入 STOP 模式后，IHRC 时钟源将被完全关闭，ILRC/XTAL 时钟根据系统配置可正常工作。

11.3. 内部框图

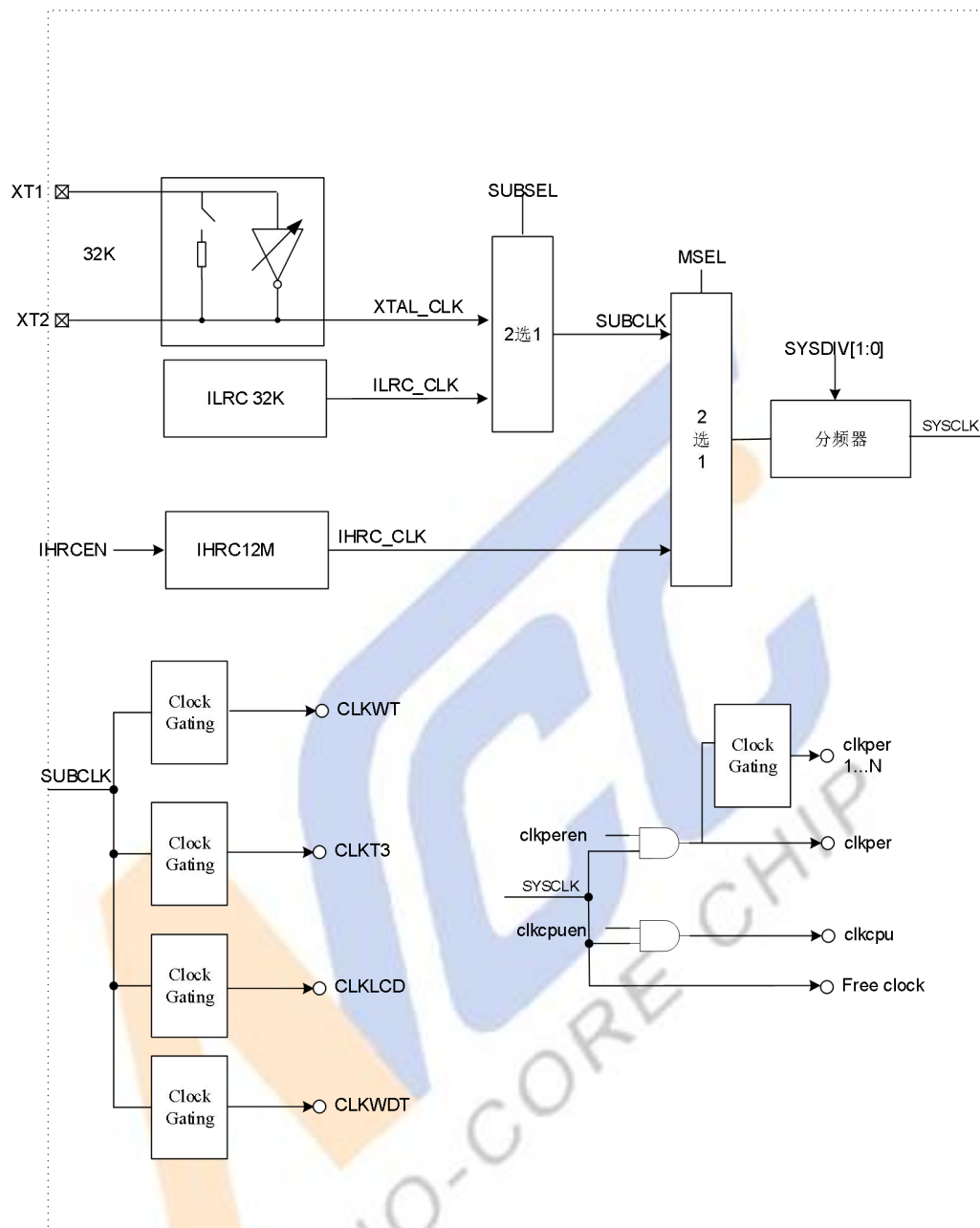


图 11- 1 时钟控制框图

11.4. 寄存器描述

表 7-1 时钟控制寄存器列表

名称	说明	可位寻址	读写权限	复位值	BANK 地址	字节地址
CLKCON	系统时钟控制寄存器	×	R/W	1000_0011B	BANK0	D2H
CLKCFG	系统时钟配置寄存器	×	R/W	0011_0000B	BANK0	D3H
CLKEN0	外设时钟使能寄存器 0	×	R/W	1111_1111B	BANK0	D4H
CLKEN1	外设时钟使能寄存器 1	×	R/W	1111_1111B	BANK0	D5H
BORCON	BOR 控制寄存器	×	R/W	0000_0001B	BANK0	D6H
CLKSTAT	时钟状态寄存器	×	R/W	0000_0101B	BANK0	D7H
CKCON	访问时钟控制寄存器	×	R/W	0000_0000B	BANK0	D1H
SYSCFG	系统配置寄存器	x	R/W	1111_XXXXB	BANK0	F7H

WPKEY	写保护寄存器	x	W-O	0000_0000B	BANK1	F9H
-------	--------	---	-----	------------	-------	-----

时钟控制寄存器详细说明如下：

11.4.1. 系统时钟控制寄存器（CLKCON）

名称/地址:	CLKCON, BANK0, D2H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	CLKDIV[1:0]		XTALST_TIME[1:0]		-	-	SUBCLKEN	IHRCEN
访问权限:	R/W	R/W	R/W	R/W	-	-	R/W	R/W
复 位 值:	1	0	0	0	-	-	1	1
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

- Bit[7:6]: CLKDIV, 系统时钟分频
 - 00: 系统时钟 12 分频
 - 01: 系统时钟 4 分频
 - 10: 系统时钟 2 分频
 - 11: 系统时钟不分频
- Bit[5:4]: XTALST_TIME, 稳定时间选择位
 - 00: 需要 2^{16} 个晶振时钟稳定
 - 01: 需要 2^{15} 个晶振时钟稳定
 - 10: 需要 2^{14} 个晶振时钟稳定
 - 11: 需要 2^{13} 个晶振时钟稳定
- Bit3: 保留
- Bit2: 保留
- Bit1: SUBCLKEN, SUB 时钟使能位
 - 0: SUB 时钟禁止
 - 1: SUB 时钟使能
- Bit0: IHRCEN, IHRC 使能位
 - 0: IHRC 禁止
 - 1: IHRC 使能

11.4.2. 系统时钟配置寄存器（CLKCFG）

名称/地址:	CLKCFG, BANK0, D3H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	MSEL	SSEL	-	SUBSTPEN	FSCMEN	CLKO[2:0]		
访问权限:	R/W	R/W	-	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	-	1	0	0	0	0
提 示:	一： 未实现位； U： 不受复位影响； R-0： 只读， 读 0； R/W ： 可读写							

- Bit7: MSEL 主时钟选择
 - 0: 选择 MCLK
 - 1: 选择 SUBCLK
- Bit6: SSEL 辅时钟选择
 - 0: 选择 ILRC
 - 1: 选择 XTAL32K
- Bit5: 保留
- Bit4: SUBSTPEN, STOP 模式辅时钟使能控制位
 - 0: STOP 模式下辅时钟禁止

- 1: STOP 模式下辅时钟使能
- Bit3:FSCMEN, XTAL 停振监测使能
 - 0: XTAL 停振监测禁止
 - 1: XTAL 停振监测使能
- Bit[2:0]: CLK0, 时钟输出选择位
 - 000: CPU 时钟四分频输出
 - 001: IHRC 时钟四分频输出
 - 010: ILRC 时钟四分频输出
 - 011: 系统外设时钟四分频输出
 - 100: XTAL 时钟四分频输出
 - 101: 自由时钟四分频输出
 - 110: 系统时钟四分频输出
 - 111: 保留

注意: ILRCSTP 位为 1 时将对应选择的 SUBCLK 在待机状态下将一直使能。

11.4.3. 外设时钟使能控制寄存器 (CLKEN0)

名称/地址:	CLKEN0, BANK0, D4H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	ADC	CRC	I2C	Timer5	Timer4	EUART	Timer3	Timer2
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	1	1	1	1	1	1	1	1
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

- Bit7: ADC 时钟使能位
 - 0: 禁止
 - 1: 使能
- Bit6: CRC 时钟使能位
 - 0: 禁止
 - 1: 使能
- Bit5: I2C 时钟使能位
 - 0: 禁止
 - 1: 使能
- Bit4: Timer5 时钟使能位
 - 0: 禁止
 - 1: 使能
- Bit3: Timer4 时钟使能位
 - 0: 禁止
 - 1: 使能
- Bit2: EUART 时钟使能位
 - 0: 禁止
 - 1: 使能
- Bit1: Timer3 时钟使能位
 - 0: 禁止
 - 1: 使能
- Bit0: Timer2 时钟使能位

0: 禁止

1: 使能

11.4.4. 外设时钟使能控制寄存器 (CLKEN1)

名称/地址:	CLKEN1, BANK0, D5H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	CPL	LCD	TOUCH	PWM	BUZ	SPI	WT	WDT
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	1	1	1	1	1	1	1	1
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

> Bit[7]: CPL 时钟使能位

0: 禁止

1: 使能

> Bit6: LCD 时钟使能位

0: 禁止

1: 使能

> Bit5: TOUCH 时钟使能位

0: 禁止

1: 使能

> Bit4: PWM 时钟使能位

0: 禁止

1: 使能

> Bit3: BUZ 时钟使能位

0: 禁止

1: 使能

> Bit2: SPI 时钟使能位

0: 禁止

1: 使能

> Bit1: WT 时钟使能位

0: 禁止

1: 使能

> Bit0: WDT 时钟使能位

0: 禁止

1: 使能

11.4.5. BOR 控制寄存器 (BORCON)

名称/地址:	BORCON, BANK0, D6H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	BODSEL3	BODSEL2	BODSEL1	BODSEL0	BODEN	-	BORSEL	BOREN
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	1
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

> Bit[7:4]: BODSEL[3:0], BOD 电平选择位

0000: BOD 电平选择 2.4V

0001: BOD 电平选择 2.55V

0010: BOD 电平选择 2.7V
0011: BOD 电平选择 2.85V
0100: BOD 电平选择 3.0V
0101: BOD 电平选择 3.15V
0110: BOD 电平选择 3.3V
0111: BOD 电平选择 3.45V
1000: BOD 电平选择 3.6V
1001: BOD 电平选择 3.75V
1010: BOD 电平选择 3.9V
1011: BOD 电平选择 4.05V
1100: BOD 电平选择 4.2V
1101: BOD 电平选择 4.35V
1110: BOD 电平选择 4.5V
1111: BOD 电平选择 4.65V

➤ Bit[3]: BODEN:

0: 禁止 BOD
1: 使能 BOD

➤ Bit[1]: BORSEL

0: BOR 电平选择 2.1V
1: BOR 电平选择 4.3V

➤ Bit0: BOREN, BOR 使能位

0: 禁止 BOR
1: 使能 BOR

BOD 可以通过查询 ERR_INFO 位来判断是否发生低压检测，如果打开 CLK_ERR 中断，则会产生中断。

11.4.6. 时钟状态寄存器 (CLKSTAT)

名称/地址:

CLKSTAT, BANK0, D7H

位 序 号:

Bit7 Bit6 Bit5 Bit4 Bit3 Bit2 Bit1 Bit0

位 定 义:

CLKXERR ERR_INFO ILRCST XTALST IHRCST

访问权限:

R/W R R R R R R R

复 位 值:

0 0 0 0 0 1 0 1

提 示:

一: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W: 可读写

➤ Bit[7]: CLKXERR, 时钟操作出错标志位, 当中断使能时将触发出错中断

0: 未发生时钟操作错误
1: 发生时钟操作错误

➤ Bit[6:4]: ERR_INFO, 时钟操作错误信息

000: 未出错
001: SUBCLK 作为系统时钟企图关闭 SUBCLK 时钟源
011: IHRC 作为系统时钟企图关闭 IHRC
100: 时钟切换时, 目标时钟仍未稳定
101: 监测到晶振停振
110: BOD 发生
其他: 保留

➤ Bit3: 保留

- Bit2: ILRCST, ILRC 稳定标志
 - 0: ILRC 未稳定
 - 1: ILRC 稳定
- Bit1: XTALST, 晶振稳定标志
 - 0: XTAL 未稳定
 - 1: XTAL 稳定
- Bit0: IHRCST, IHRC 稳定标志
 - 0: IHRC 未稳定
 - 1: IHRC 稳定

注意：往 CLKXERR 中写 0 将会自动清 ERR_INFO 的信息。

11.4.7. 系统配置寄存器 (SYSCFG)

名称/地址:	SYSCFG, BANK0, F7H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	FLASH_MODE		WT_SEL		保留			
访问权限:	R/W	R/W	R/W	R/W	-	-	-	-
复 位 值:	1	1	1	1	-	-	-	-
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

- Bit[7:6]: FLASH_MODE, FLASH 功耗模式
 - 2' b11: 高速模式
 - 2' b10: 低速模式, CPU 时钟在 1MHz 到 2MHz 之间
 - 2' b01: 保留
 - 2' b00: 低功耗模式, CPU 时钟在 500kHz 以下
 - Bit[5:4]: WT_SEL 是唤醒等待时间
 - 00: 唤醒后等待 N+8 个时钟
 - 01: 唤醒后等待 N+16 个时钟
 - 10: 唤醒后等待 N+32 个时钟
 - 11: 唤醒后等待 N+64 个时钟
- N 代表系统唤醒时间

11.4.8. 写保护寄存器 (WPKEY)

名称/地址:	WPKEY, BANK1, F9H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	WPKEY							
访问权限:	R-W	R-W	R-W	R-W	R-W	R-W	R-W	R-W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

- Bit[7:0]: 写保护寄存器

11.5. 功能描述

11.5.1. 时钟源详细描述

ATM8F3140A 共支持 2 种时钟源配置, 包括内部 12MHz 高频时钟, 32KHz 辅时钟。辅时钟可通过 CLKCFG 寄存器的 SUBSEL 选择外部晶振 XTAL32K 或内部低频时钟 ILRC32K。12MHz 时钟或者辅时钟可以通过 CLKCON 中的 IHRCEN 位和 SUBCLKEN 开启或关断。

对于内部 12MHz 高频时钟, 在出厂时会经过校准达到 0.5% 的精度。在实际应用过程中, 该频率随着电压和温度会有所漂移, 不过依然能保证在 ±3% 范围之内。

当外部 32K 晶振使能时，与外部晶振 XIN, XOUT 复用的管脚将自动关闭复用功能以减小 IO 的漏电。当外部晶振关闭时，与外部晶振 XIN, XOUT 复用的管脚可以使用其复用功能。根据不同环境，晶振的起振时间也不尽相同。为了可靠起见，只有等起振稳定以后的时钟方可输入给系统使用。用户可根据需要配置 CLKCON 寄存器中的晶振稳定时间位来获得相应的稳定时间。

辅时钟主要作为看门狗定时器时钟、LCD 时钟、BUZ 时钟、定时器 3 的一个时钟源以及停机模式下唤醒定时器的时钟源。在某些需要特别低功耗的场合也可以作为系统时钟使用。由于 ILRC 时钟本身随温度、电压和工艺的偏差比较大，因此该时钟作为系统时钟使用时精度会较差。如果对精度有要求的建议使用外部 32K 晶振。

内部 ILRC32K 和外部 32K 晶振作为辅时钟时是 2 选一的关系，CLKCFG 的 SSEL 位置位后只能通过复位或者晶振停振时清除。

11.5.2. 系统时钟配置

ATM8F3140A 最高支持 12MHz 的工作频率。用户可以根据需要自由选择内部高频振荡器 IHRC，内部低频振荡器 ILRC，外部晶振作为系统时钟源。系统时钟可通过 CLKCON 中的 SYSDIV 位配置为不同的分频给 CPU 或者外设。分配比可以设置为 1, 1/2, 1/4, 1/12。系统复位后默认选择 IHRC 作为系统时钟，分配系数为 2 分频。

11.5.3. 时钟切换及保护

ATM8F3140A 支持任意两种时钟源之间切换。在切换时，必须保证需要当前的时钟源和要切换的时钟源都稳定。即保证 CLKSTAT 中相应时钟源的稳定位标志都为 1 时方可正常切换。如果要切换到的时钟源未稳定即写切换命令时，将会发生时钟切换错误，切换不能成功，系统时钟仍维持为原有时钟。为了防止时出现毛刺，在时钟切换时需要三个原时钟周期和三个目标时钟周期来同步。如下图所示列举了从快速时钟到慢速时钟和从慢速时钟切换到快速时钟的例子。在切换时需要等待切换完成后才能关闭原时钟源。

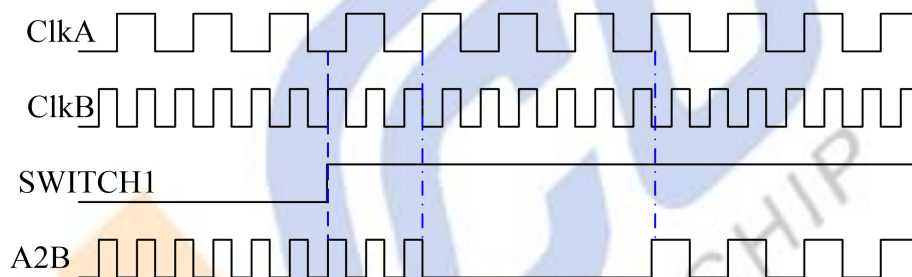


图 11- 2 快速时钟切换到慢速时钟

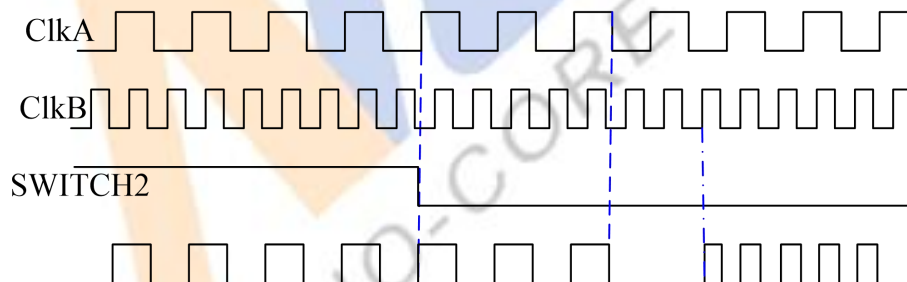


图 11- 3 慢速时钟切换到快速时钟

系统的时钟状态可有时钟状态寄存器获取，在切换时钟时首先需要查询需要切换时钟的状态是否稳定。如果未稳定则需要等待稳定以后方可切换。

系统程序不能随意关闭当前状态下的系统时钟源。如当前系统时钟选择为 IHRC 时，程序如果要关闭 IHRC，CLKXERR 位将会置起，同时 ERR_INFO 位会显示当前的错误原因。

在使能 SUBCLKEN 之前需要先选择 SUB 时钟是采用外部 XTAL32K 或者内部 ILRC32K。可通过 CLKCFG 中的 SSEL 位选择，该位默认为 0，选择 ILRC32K。SUBSEL 位写 1 后会选择 XTAL32K 作为 SUBCLK。SUBSEL 写 1 后只有通过硬件复位或者检测到晶振停振后才会清零。

若当前 SUB 时钟选择为 ILRC32K

当前时钟源	目标时钟源	说明
IHRC12M	ILRC32K	若 ILRC32K 开启，切换到 ILRC32K 若 ILRC32K 未开启，保持 IHRC 12M，产

		生切换失效中断
ILRC32K	IHRC12M	若 IHRC12M 开启, 则切换成 IHRC12M 若 IHRC12M 未开启, 保持 ILRC32K, 产生切换失效中断

若当前 SUB 时钟选择为 XTAL32K

当前时钟源	目标时钟源	说明
IHRC12M	XTAL32K	若 XTAL32K 开启, 切换到 XTAL32K 若 XTAL32K 未开启, 保持 IHRC 12M, 产生切换失效中断
XTAL32K	IHRC12M	若 IHRC12M 开启, 则切换成 IHRC12M 若 IHRC12M 未开启, 保持 XTAL32K, 产生切换失效中断

11.5.4. 时钟安全系统

ATM8F3140A 可以实时监测外部晶振错误。当外部晶振使能时, 若使能 CLKCFG 寄存器中的 FSCMEN 位, 可通过内部低频振荡器监测外部晶振是否产生停振。

当监测到停振时:

- CLKSTAT 中的时钟失效位 CLKXERR 位将被置起, ERR_INFO 位被设置位 0x5
- 辅时钟将自动切换到 ILRC, CLKCFG 中的 SUBSEL 位自动清零
- 如果出错中断使能, 将自动执行中断程序。

如果振荡器恢复振荡以后:

可通过重新配置 CLKCFG 的 SUBSEL 位重新切换为外部振荡器模式。

其他时钟异常情况说明

异常情况说明	现象
当前系统时钟选择为 IHRC12M, 期望关闭 IHRCEN 位	出错中断置起, 错误信息为 0x3
当前系统时钟选择为 SUBCLK, 期望关闭 SUBCLKEN 位	出错中断置起, 错误信息为 0x1
当前系统时钟选择为 IHRC12M, 期望切换到 SUBCLK, 但 SUBCLK 未稳定或未打开	出错中断置起, 错误信息为 0x4
当前系统时钟选择为 SUBCLK, 期望切换到 IHRC12M, 但 IHRC12M 未稳定或未打开	出错中断置起, 错误信息为 0x4
时钟异常检测开启, 检测到停振时	出错中断置起, 错误信息为 0x5

11.5.5. 低功耗模式

低功耗模式下, 各个时钟的开启和关闭状态如下表所示。

工作状态	系统时钟	停振检测	IHRC12M	ILRC32K	XTAL32K
IDLE 状态, 主时钟选择 IHRC12M, 辅时钟使能, 辅时钟选择 ILRC32K	IHRC12M	-	开	开	关
IDLE 状态, 主时钟选择 IHRC12M, 辅时钟使能, 辅时钟选择 XTAL32K	IHRC12M	关	开	关	开
IDLE 状态, 主时钟选择 IHRC12M, 辅时钟使能, 辅时钟选择 XTAL32K	IHRC12M	开	开	开	开
IDLE 状态, 主时钟选择 IHRC12M, 辅时钟未使能	IHRC12M	-	开	关	关
IDLE 状态, 主时钟选择 ILRC32K	ILRC32K	-	软件可关	开	关
IDLE 状态, 主时钟选择 XTAL32K	XTAL32K	关	软件可关	关	开
IDLE 状态, 主时钟选择 XTAL32K	XTAL32K	开	软件可关	开	开

STOP 状态，辅时钟未使能	-	-	关	关	关
STOP 状态，辅时钟使能，辅时钟选择 ILRC32K	-	-	关	开	关
STOP 状态，辅时钟使能，辅时钟选择 XTAL32K	-	关	关	关	开
STOP 状态，辅时钟使能，辅时钟选择 XTAL32K	-	开	关	开	关

ATM8F3140A支持待机和停机两种低功耗模式。待机工作模式时，CPU时钟停止，外设时钟可根据CLKEN0/1寄存器分别配置。

停机模式时又可分多种模式。

- 低功耗模式1：所有时钟都关闭，低压检测也关闭，系统唤醒必须通过外部中断唤醒。
- 低功耗模式2：所有时钟都关闭，低压复位打开，停机时电源掉到指定电平以下，系统将会复位，系统唤醒必须通过外部中断唤醒。
- 低功耗模式3：内部低频时钟打开，系统可以通过唤醒定时器，WDT的匹配中断及外部中断唤醒。若使用WT唤醒，则WT的唤醒时间必须小于WDT的复位时间，唤醒后必须重新清狗。

ATM8F3140A的所有IO管脚都可作为唤醒中断源唤醒停机模式，唤醒定时器和WDT匹配唤醒信号与INT0/INT1复用，具体配置可参考5章-外部中断章节。

ATM8F3140A唤醒时系统时钟将保持为进停机模式之前的系统时钟。在设置低功耗模式时，还需要操作WPKEY寄存器：

例：进入 STOP 模式

```
BANK = 0x01;
WPKEY = 0x37;    // 允许进入低功耗模式
PCON |= 0x02;    // 通过置位 PCON 寄存器的 bit0/1 来选择进入 IDLE/STOP 模式
BANK = 0x00;
```

12. 通用输入输出端口

12.1. 规格介绍

本文主要目的是为了描述 ATM8F3140A 通用输入输出端口的配置和使用说明。所有的端口均可独立配置为单独输入输出功能，同时也可以配置为其他模块的复用功能。

12.2. 基本特征

- 6 组 IO 口（P0/P1/P2/P3/P4/P5），最大支持 46 个 IO 口，P0/P1/P2/P3 口可按位操作,P4/P5 口只能寄存器操作。
- 每组 IO 口最多有四个配置寄存器
 - ✧ 端口数据寄存器（Px）
 - ✧ 通用输入输出控制寄存器（PxCR）
 - ✧ 上拉控制寄存器(PxPCR)
 - ✧ 输出开漏控制寄存器(PxODR)
- 端口作为输入输出功能时，可配置为：
 - ✧ 输入悬空
 - ✧ 带上拉的输入模式
 - ✧ 推挽输出
 - ✧ 开漏输出
- 端口可以复用多种功能，根据复用功能寄存器来配置不同的功能

12.3. 工作模式

芯片复位完成后进入正常工作模式，所有控制寄存器均处于复位状态，端口默认是输入悬空状态。在实际工作时，芯片内的多种外设输入输出可以复用到通用输入输出，在使用时，同一时刻只能选择一种功能。即在配置为通用输入输出时不能作为复用输入或输出。在用作复用输入或输出时，只能配置作为某种特殊复用功能使用。

12.4. 寄存器描述

表 12- 1 GPIO 控制寄存器列表

名称	说明	可位寻址	读写权限	复位值	BANK 地址	字节地址
P0	P0 数据寄存器	√	R/W	1111_1111B	ALL BANK	80H
P0ODR	P0 开漏输出控制寄存器	×	R/W	0000_0000B	BANK0	D9H
P0CR	P0 模式寄存器高字节	×	R/W	0000_0000B	BANK0	E1H
P0PCR	P0 上拉控制寄存器	×	R/W	0000_0000B	BANK0	E9H
P1	P1 数据寄存器	√	R/W	1111_1111B	ALL BANK	90H
P1ODR	P1 开漏输出控制寄存器	×	R/W	0000_0000B	BANK0	DAH
P1CR	P1 模式寄存器高字节	×	R/W	0000_0000B	BANK0	E2H
P1PCR	P1 上拉控制寄存器	×	R/W	0000_0000B	BANK0	EAH
P2	P2 数据寄存器	√	R/W	1111_1111B	ALL BANK	A0H
P2ODR	P2 开漏输出控制寄存器	×	R/W	0000_0000B	BANK0	DBH
P2CR	P2 模式寄存器高字节	×	R/W	0000_0000B	BANK0	E3H
P2PCR	P2 上拉控制寄存器	×	R/W	0000_0000B	BANK0	EBH
P3	P3 数据寄存器	√	R/W	1111_1111B	ALL BANK	B0H
P3ODR	P3 开漏输出控制寄存器	×	R/W	0000_0000B	BANK0	DCH
P3CR	P3 模式寄存器高字节	×	R/W	0000_0000B	BANK0	E4H
P3PCR	P3 上拉控制寄存器	×	R/W	0000_0000B	BANK0	ECH
P4	P4 数据寄存器	×	R/W	1111_1111B	BANK0	BFH
P4ODR	P4 开漏输出控制寄存器	×	R/W	0000_0000B	BANK0	DDH
P4CR	P4 模式寄存器高字节	×	R/W	0000_0000B	BANK0	E5H

P4PCR	P4 上拉控制寄存器	×	R/W	1000_0000B	BANK0	EDH
P5	P5 数据寄存器	×	R/W	1111_1111B	BANK0	B7H
P5ODR	P5 开漏输出控制寄存器	×	R/W	0000_0000B	BANK0	DEH
P5CR	P5 模式寄存器高字节	×	R/W	0000_0000B	BANK0	E6H
P5PCR	P5 上拉控制寄存器	×	R/W	0000_0000B	BANK0	EEH
AEN0	模拟控制寄存器 0	×	R/W	0000_0000B	BANK0	EFH
AEN1	模拟控制寄存器 1	×	R/W	0000_0000B	BANK0	E7H
ALFSEL0	复用功能寄存器 0	×	R/W	0000_0000B	BANK0	89H
ALFSEL1	复用功能寄存器 1	×	R/W	0000_0011B	BANK0	8AH
ALFSEL2	复用功能寄存器 2	×	R/W	0000_0000B	BANK0	8BH
REMAP	重映射寄存器	×	R/W	0000_0000B	BANK0	97H

GPIO 寄存器详细说明如下：

12.4.1. 端口数据寄存器 (Px, x=0, 1, 2, 3, 4, 5)

名称/地址:	Px, ALL BANK, (80H/90H/A0H/B0H/BFH/B7H) (x=0,1,2,3,4,5)							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	Px.7	Px.6	Px.5	Px.4	Px.3	Px.2	Px.1	Px.0
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	1	1	1	1	1	1	1	1
提 示:	一： 未实现位； U： 不受复位影响； R-0： 只读，读 0； R/W ： 可读写							

➤ Bit[7:0]: Px.y, Pxy(x=0, 1, 2, 3, 4, 5 y=0-7) 端口状态寄存器

输入状态下：

写该寄存器不会影响输入端口的状态

读该寄存器读入输入端口状态

输出状态下（包括开漏和推挽输出）

写该寄存器可以配置输出端口状态

读该寄存器读入先前写入的该寄存器数值

注意： P0, P1, P2, P3 支持位操作， P4, P5 不支持位操作

12.4.2. 开漏输出控制寄存器 (PxODR, x=0, 1, 2, 3, 4, 5)

名称/地址:	PxODR, BANK0, (D9H/DAH/DBH/DCH/DDH/DEH)							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	ODx.7	ODx.6	ODx.5	ODx.4	ODx.3	ODx.2	ODx.1	ODx.0
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	一： 未实现位； U： 不受复位影响； R-0： 只读，读 0； R/W ： 可读写							

➤ Bit[7:0]: ODx.y, Pxy(x=0, 1, 2, 3, 4, 5 y=0-7) 端口开漏控制寄存器

0: 推挽输出

1: 开漏输出

12.4.3. 端口输入输出控制寄存器 (PxCR, x=0, 1, 2, 3, 4, 5)

名称/地址:	PxCR, BANK0, (E1H/E2H/E3H/E4H/E5H/E6H)							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	CRx.7	CRx.6	CRx.5	CRx.4	CRx.3	CRx.2	CRx.1	CRx.0
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

复位值:	0	0	0	0	0	0	0
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写						

➤ Bit[7:0]: CRx.y, Pxy(x=0, 1, 2, 3, 4, 5, y=0-7) 端口控制寄存器

0: 输入

1: 输出

12.4.4. 端口上拉控制寄存器 (PxPCR, x=0, 1, 2, 3, 4, 5)

名称/地址:	PxPCR, BANK0, (E9H/EAH/EBH/ECH/EDH/EEH)							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	PCR _{x.7}	PCR _{x.6}	PCR _{x.5}	PCR _{x.4}	PCR _{x.3}	PCR _{x.2}	PCR _{x.1}	PCR _{x.0}
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

➤ Bit[7:0]: PCR_{x.y}, Pxy(x=0, 1, 2, 3, 4, 5, y=0-7) 端口上拉控制寄存器

0: 上拉禁止

1: 上拉使能

注: P1PCR 默认值位 0x01, 确保 P10 默认上拉。

12.4.5. 模拟控制寄存器 0 (AEN0)

名称/地址:	AEN0, BANK0 (EFH)							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	AEN7	AEN6	AEN5	AEN4	AEN3	AEN2	AEN1	AEN0
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

➤ Bit[7]: P37AEN, P37 作为模拟信号输入, 高电平有效

➤ Bit[6]: P36AEN, P36 作为模拟信号输入, 高电平有效

➤ Bit[5]: P35AEN, P35 作为模拟信号输入, 高电平有效

➤ Bit[4]: P34AEN, P34 作为模拟信号输入, 高电平有效

➤ Bit[3]: P43AEN, P43 作为模拟信号输入, 高电平有效

➤ Bit[2]: P42AEN, P42 作为模拟信号输入, 高电平有效

➤ Bit[1]: P41AEN, P41 作为模拟信号输入, 高电平有效

➤ Bit[0]: P40AEN, P40 作为模拟信号输入, 高电平有效

12.4.6. 模拟控制寄存器 1 (AEN1)

名称/地址:	AEN1, BANK0 (E7H)							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	-	-	-	-	AEN11	AEN10	AEN9	AEN8
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	一： 未实现位； U： 不受复位影响； R-0： 只读， 读 0； R/W ： 可读写							

➤ Bit[7: 3]: 保留

➤ Bit[3]: P06AEN, P06 作为模拟信号输入, 高电平有效

➤ Bit[2]: P07AEN, P07 作为模拟信号输入, 高电平有效

➤ Bit[1]: P53AEN, P53 作为模拟信号输入, 高电平有效

- Bit[0]: P45AEN, P45 作为模拟信号输入, 高电平有效

12.4.7. 复用选择寄存器 0 (ALFSEL0)

名称/地址:	ALFSEL0, BANK0 (89H)							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	T2S1	T2S0	T2EX	T4S1	T4S0	PWM0 L	PWM1 H	PWM1 L
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	一: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

- Bit[7:6]: P05 复用功能选择
 - 00: P05 选择正常 IO 输入输出
 - 01: P05 选择 T2CK 输入
 - 10: P05 选择 T2OUT 输出
- Bit[5]: P04 复用功能选择
 - 0: P04 选择正常 IO 输入输出
 - 1: P04 选择 T2EX 输入
- Bit[4:3]: P03 复用功能选择
 - 00: P03 选择正常 IO 输入输出
 - 01: P03 选择 PWM0_H 输出
 - 10: P03 选择 T4OUT 输出
 - 11: P03 选择 T4CK 输入
- Bit[2]: P02 复用功能选择
 - 0: P02 选择正常 IO 输入输出
 - 1: P02 选择 PWM0_L 输出
- Bit[1]: P01 复用功能选择
 - 0: P01 选择正常 IO 输入输出
 - 1: P01 选择 PWM1_H 输出
- Bit[0]: P00 复用功能选择
 - 0: P00 选择正常 IO 输入输出
 - 1: P00 选择 PWM1_L 输出

12.4.8. 复用选择寄存器 1 (ALFSEL1)

名称/地址:	ALFSEL1, BANK0 (8AH)							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	SSN	SCK	MOSI	MISO	TXD	RXD	PCLK	PDAT
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	1	1
提 示:	一: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

- Bit[7]: P25 复用功能选择
 - 0: P25 选择正常 IO 输入输出
 - 1: P25 选择 SSN
- Bit[6]: P24 复用功能选择
 - 0: P24 选择正常 IO 输入输出
 - 1: P24 选择 SCK
- Bit[5]: P23 复用功能选择

- 0: P23 选择正常 IO 输入输出
- 1: P23 选择 MOSI
- Bit[4]: P22 复用功能选择
- 00: P22 选择正常 IO 输入输出
- 01: P22 选择 MISO
- Bit[3]: P21 复用功能选择
- 00: P21 选择正常 IO 输入输出
- 01: P21 选择 TXD
- Bit[2]: P20 复用功能选择
- 0: P20 选择正常 IO 输入输出
- 1: P20 选择 RXD
- Bit[1]: P11 复用功能选择
- 0: P11 选择正常 IO 输入输出
- 1: P11 选择 PLCK
- Bit[0]: P10 复用功能选择
- 0: P10 选择正常 IO 输入输出
- 1: P10 选择 PDAT

12.4.9. 复用选择寄存器 2 (ALFSEL2)

名称/地址:	ALFSEL2, BANK0 (8BH)							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	-	-	-	-	T3S1	T3S0	SDA	SCL
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

- Bit[3:2]: P53 复用功能选择
- 00: P53 选择正常 IO 输入输出
- 01: P53 选择 T3 外部时钟输入
- 10: P53 选择 BUZ 或 CLK0 或 CPL 输出, P5CR 寄存器需要配置 P53 为输出模式, 由 REMAP 寄存器选择输出是 BUZ 或者 CLK0

- Bit[1]: P27 复用功能选择
- 0: P27 选择正常 IO 输入输出
- 1: P27 选择 SDA
- Bit[0]: P26 复用功能选择
- 0: P26 选择正常 IO 输入输出
- 1: P26 选择 SCK

12.4.10. 重映射寄存器 (REMAP)

名称/地址:	REMAP, BANK0 (97H)							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:							BUZS	
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

- Bit[7:2]: 保留

➤ Bit[1:0]: BUZS: 捕获输出选择

00: P53 复用功能选择 BUZ 输出

01: P53 复用功能选择 CLK0 输出

1x: P53 复用功能选择 CPL 输出

12.5. 功能描述

ATM8F3140A 每个 IO 口既可以作为 GPIO，也可以作为其他功能复用。

PxCR 寄存器用于控制相应 IO 口的输入输出状态。当相应位配置为 0 时，用作信号输入，当相应位配置为 1 时，用作内部信号输出。

当 IO 用作信号输入时，可以通过 PxPCR 位配置是悬空输入还是上拉输入。系统上电时，除 PDIO/PCLK 外所有 IO 默认都作为悬空输入。

当 IO 用作信号输出时，可通过 PxODR 配置为开漏或者推挽输出。

P5.2 可作为复位或者 GPIO 使用，有内部信息区配置。默认输入上拉。

P1.0/P1.1 在复位时默认作为调试信号（PCLK, PDIO）功能。P1.0 默认上拉使能。

IO 口也可作为内部功能复用，可通过 ALFSEL0 和 ALFSEL1 和 ALFSEL2 寄存器配置相应管脚的复用功能。

当 IO 口复用为模拟或者 LCD SEG/COM 功能时，具有最高的优先级。

ATM8F3140A 各个管脚的复用和配置情况如下表所示：

表 12- 2 IO 口复用功能列表

	复用功能 1	复用功能 2	复用功能 3
P05	T2CLK	T2OUT	
P04	T2 捕获输入		
P03	PWM0_H 输出	T4OUT	T4CLK
P02	PWM0_L 输出		
P01	PWM1_H 输出		
P00	PWM1_L 输出		
P25	SPI SSN 输入		
P24	SPI SCK		
P23	SPI MOSI		
P22	SPI MISO		
P21	TXD		
P20	RXD		
P11	PCLK		
P10	PDAT		
P53	T3 时钟输入	BUZ (BUZS=00) /CLK0 (BUZS=01) /CPL (BUZS=1X)	
P27	IIC SDA		
P26	IIC SCL		

12.6. 示例程序

P00, P01 配置为 UART 功能复用：

```
MOV POCR , #002H ; (P01 为输出状态, P00 为输入状态)
```

```
MOV ALFSEL1, #003H
```

13. 定时器 T2

13.1. 基本特征

- 支持工作时钟源可配：系统时钟或外部引脚。
- 支持 16 位捕获模式
- 支持 16 位自动重载定时器模式（递增或递减）
- 支持可编程时钟输出模式

13.2. 寄存器描述

表 13- 1 T2 寄存器列表

名称	说明	可位寻址	读写权限	复位值	BANK 地址	字节地址
T2CON	T2 控制寄存器	×	R/W	0000 0000B	BANK0	B9H
T2MOD	T2 模式控制寄存器	×	R/W	0000 0000B	BANK0	BAH
RCAP2L	T2 重载/捕获低字节	×	R/W	0000 0000B	BANK0	BBH
RCAP2H	T2 重载/捕获高字节	×	R/W	0000 0000B	BANK0	BCH
TL2	T2 计数器低字节	×	R/W	0000 0000B	BANK0	BDH
TH2	T2 计数器高字节	×	R/W	0000 0000B	BANK0	BEH

T2 寄存器列表详细说明如下：

13.2.1. T2 控制寄存器（T2CON）

名称/地址:	T2CON, BANK 0, B9H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	TF2	EXF2	—	—	EXEN2	TR2	C/T2	CP/RL2
访问权限:	R/W	R/W	R	R	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

- Bit7: TF2, 定时器 2 溢出标志位
0: 未发生溢出
1: 溢出
- Bit6: EXF2, 外部事件输入（下降沿）被检测到的标志位
0: 无外部事件输入（必须由软件清零）
1: 检测到外部输入
- Bit3: EXEN2, T2EX 引脚上的外部事件输入（下降沿）用作重载/捕获触发器允许/禁止控制位
0: 忽略 T2EX 引脚事件
1: 当定时器 2 不做为 EUART 时钟（T2EX 始终包括上拉电阻）时，检测到 T2EX 引脚上一个下降沿，产生一个捕获或重载
- Bit2: TR2, 定时器 2 开始/停止控制位
0: 停止定时器 2
1: 开始定时器 2
- Bit1: C/T2, 定时器 2 定时器/计数器方式选定位
0: 定时器方式，T2 引脚用作 I/O 端口
1: 计数器方式，内部上拉电阻被打开
- Bit0: CP/RL2, 捕获/重载方式选定位
0: 16 位带重载功能的定时器/计数器

1: 16 位带捕获功能的定时器/计数器

13.2.2. T2 模式控制寄存器 (T2MOD)

名称/地址:	T2MOD, BANK0, BAH						
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1
位 定 义:	TCLKP2	-	-	-	-	-	T2OE
访问权限:	R/W	-	-	-	-	-	R/W
复 位 值:	0	0	0	0	0	0	0
提 示:	一: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写						

➤ Bit7: TCLKP2, Timer2 时钟选择位

0: 选择系统时钟的 1/12

1: 选择系统时钟

➤ Bit1: T2OE, 定时器 2 输出允许位

0: T2 作为时钟输入或 I/O 端口

1: T2 作为时钟输出

➤ Bit0: DCEN, 递减计数允许位

0: 定时器 2 仅作为递增计数器

1: 定时器 2 作为递增/递减计数器

13.2.3. T2 重载/捕获低字节 (RCAP2L)

名称/地址:	RCAP2L, BANK0, BBH						
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1
位 定 义:	RCAP2L						
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0
提 示:	一: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写						

➤ Bit[7:0]: RCAP2L, 定时器 2 重载/捕获数据低字节

13.2.4. T2 重载/捕获高字节 (RCAP2H)

名称/地址:	RCAP2H, BANK0, BCH						
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1
位 定 义:	RCAP2H						
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0
提 示:	一: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写						

➤ Bit[7:0]: RCAP2H, 定时器 2 重载/捕获数据高字节

13.2.5. T2 计数器低字节 (T2L)

名称/地址:	T2L, BANK0, BDH						
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1
位 定 义:	T2L						
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0
提 示:	一: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写						

➤ Bit[7:0]: T2L, 定时器/计数器 2 低字节

13.2.6. T2 计数器高字节 (TH2)

名称/地址:	TH2, BANK0, BEH							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	TH2							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

➤ Bit[7:0]: TH2, 定时器/计数器 2 高字节

13.3. 功能描述

定时器 2 有 3 种工作方式: 捕获/重载, 带递增或递减计数器的自动重载方式和可编程时钟输出。

定时器 2 方式选择:

C/T2	T2OE	DCEN	TR2	CP/RL2	方式	
X	0	X	1	1	0	16 位捕获
X	0	0	1	0	1	16 位自动重载定时器
X	0	1	1	0		
0	1	X	1	X	3	可编程时钟输出
1	1	X	1	X		不推荐使用
X	X	X	0	X	X	定时器 2 停止

13.3.1. 16 位捕获

在捕获方式中, T2CON 的 EXEN2 位有两个选项。

如果 EXEN2 = 0, 定时器 2 作为 16 位定时器或计数器, 如果 ET2 被允许的话, 定时器 2 能设置 TF2 溢出产生一个中断。
如果 EXEN2 = 1, 定时器 2 执行相同操作, 但是在外部输入 T2EX 上的下降沿也能引起在 TH2 和 TL2 中的当前值分别被捕获到 RCAP2H 和 RCAP2L 中, 此外, 在 T2EX 上的下降沿也能引起在 T2CON 中的 EXF2 被设置。如果 ET2 被允许, EXF2 位也像 TF2 一样也产生一个中断。

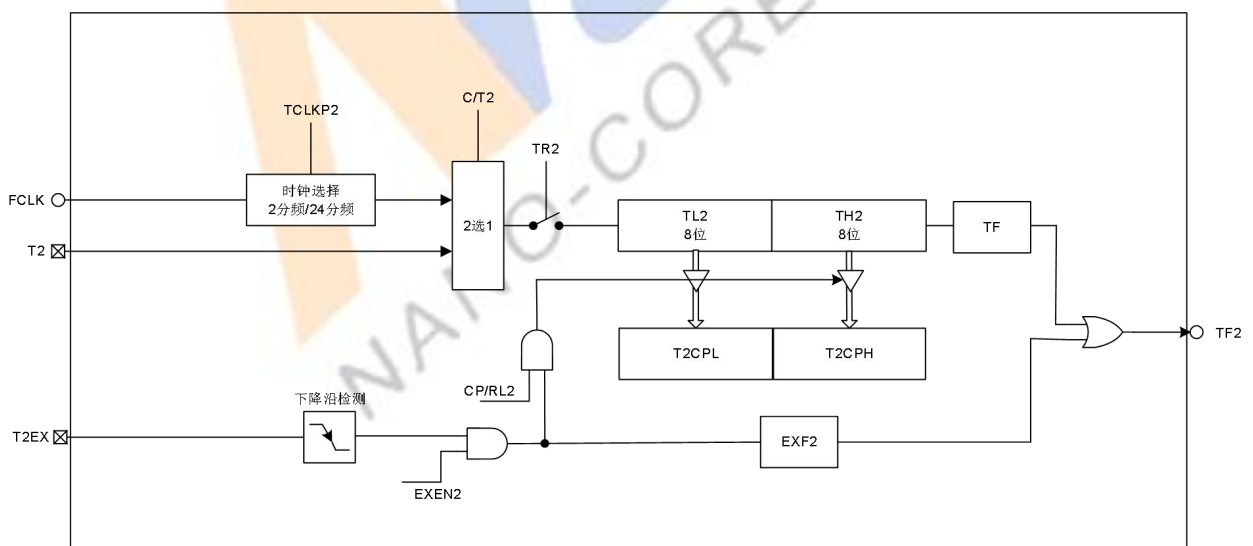


图 13- 1 16 位捕获模式

13.3.2. 16 位自动重载定时器

在 16 位自动重载方式下, 定时器 2 可以被选为递增计数或递减计数。这个功能通过 T2MOD 中的 DCEN 位 (递减计数允许)

13.3.3. 可编程时钟输出

当 T2 工作在定时模式 (C/T2=0)，T2 可作为可编程时钟输出。

T2 的输出时钟频率等于溢出频率的 1/2。

输出时钟频率：

$$f_{out} = \frac{f_{sys}}{2 * div * (65536 - [T2CAPH, T2CAPL])}$$

注意：

1. TF2 和 EXF2 都能引起定时器 2 的中断请求，两者共用一个中断向量地址，T2 中断只能软件清 0。
2. T2 作为波形输出时，必须要把 T2MOD 中的 T2OE 位配置位 1。



14. 定时器 T3

14.1. 基本特征

- 支持工作时钟源可配：系统时钟，外部引脚，32.768KHz 晶振时钟。
- 支持预分频
- 支持 16 位自动重载定时器模式
- 可工作在 CPU 掉电模式

14.2. 寄存器描述

表 14- 1 T3 寄存器列表

名称	说明	可位寻址	读写权限	复位值	BANK 地址	字节地址
T3CON	T3 控制寄存器	×	R/W	0000 0000B	BANK0	91H
TL3	T3 重载/计数数据低字节	×	R/W	0000 0000B	BANK0	92H
TH3	T3 重载/计数数据高字节	×	R/W	0000 0000B	BANK0	93H

T3 寄存器列表详细说明如下：

14.2.1. T3 控制寄存器（T3CON）

名称/地址:	T3CON, BANK 0, 91H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	TF3	-	T3PS. 1	T3PS. 0	-	TR3	T3CLKS. 1	T3CLKS. 0
访问权限:	R/W	-	R/W	R/W	-	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	一: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

- Bit7: TF3, 定时器 3 溢出标志位
0: 未发生溢出
1: 溢出
- Bit[5:4]: T3PS, 定时器 3 预分频比选择位
00: 不分频
01: 8 分频
10: 64 分频
11: 256 分频
- Bit2: TR3, 定时器 3 开始/停止控制位
0: 停止定时器 3
1: 开始定时器 3
- Bit[1:0]: T3CLKS, 定时器 3 定时器/计数器方式选定位
00: 系统时钟, T3 做 I/O 端口
01: T3 端口输入外部时钟, 自动上拉
10: 外部 32.768KHz 晶体振荡器
11: 保留

14.2.2. T3 重载/计数数据低字节（TL3）

名称/地址:	TL3, BANK0, 92H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	TL3							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

复位值:	0	0	0	0	0	0	0
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写						

➤ Bit[7:0]: TL3, 定时器 3 重载/计数数据低字节

14.2.3. T3 重载/计数数据高字节 (TH3)

名称/地址:	TH3, BANK0, 93H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	TH3							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

➤ Bit[7:0]: TH3, 定时器重载/计数数据 3 高字节

14.3. 功能描述

定时器 3 只有一个工作方式: 16 位自动重载计数器/定时器, 可以设置预分频比, 并可以工作在 CPU 掉电模式。

定时器 3 有一个 16 位计数器/定时器寄存器 (TH3, TL3)。当 TH3 和 TL3 被写时, 用作定时器重载寄存器, 当被读时, 被用作计数寄存器。TR3 位置 1 使定时器 3 开始递增计数。定时器在 0xFFFF 到 0x0000 溢出并置 TF3 位为 1。溢出后, 在下一个时钟重载寄存器的 16 位数据被重新载入计数寄存器中, TH3 写操作也导致重载寄存器的数据重新载入计数寄存器。

TH3 和 TL3 读写操作遵循以下顺序:

写操作: 先低位后高位

读操作: 先高位后低位

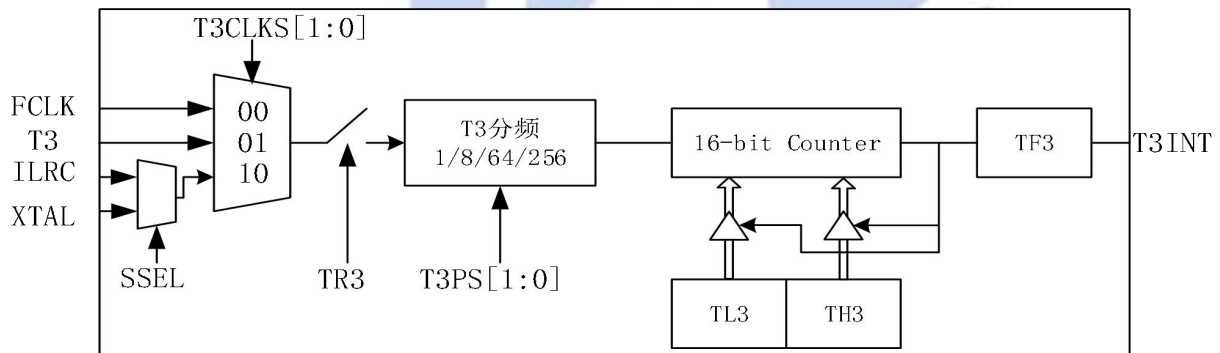


图 14- 1 Timer3 内部框图

当 T3CLKS[1:0] 选为 00 时, 定时器 3 在掉电模式下不计数。

当 T3CLKS[1:0] 选为 01 时, 定时器 3 可以工作在掉电模式。即使所有振荡器关闭, 定时器 3 依然可以对 T3 计数。

当 T3CLKS[1:0] 选为 10 时, 定时器 3 可以工作在掉电模式。但是如果在掉电模式下低频振荡器关闭则定时器 3 不计数。

15. 定时器 T4

15.1. 基本特征

- 支持工作时钟源可配：系统时钟或外部引脚
- 支持 16 位自动重载定时器模式
- 带边沿触发的 16 位自动重载定时器模式

15.2. 寄存器描述

表 15- 1 T4 寄存器列表

名称	说明	可位寻址	读写权限	复位值	BANK 地址	字节地址
T4CON	T4 控制寄存器	×	R/W	0000_0000B	BANK0	B4H
TL4	T4 重载/计数数据低字节	×	R/W	0000_0000B	BANK0	B5H
TH4	T4 重载/计数数据高字节	×	R/W	0000_0000B	BANK0	B6H

T4 寄存器列表详细说明如下：

15.2.1. T4 控制寄存器（T4CON）

名称/地址:	T4CON, BANK 0, B4H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	TF4	TC4	T4PS. 1	T4PS. 0	T4M. 1	T4M. 0	TR4	T4CLKS
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	一： 未实现位； U： 不受复位影响； R-0： 只读， 读 0； R/W ： 可读写							

- Bit7: TF4, 定时器 4 溢出标志位
0: 未发生溢出
1: 溢出
- Bit6: TC4, 模式下 2 的触发屏蔽位
只有当 TM4=10 或 11 时
0: 定时器 4 不能被再触发
1: 定时器 4 可以被再触发
- Bit[5:4]: T4PS, 定时器 4 预分频比选择位
00: 不分频
01: 8 分频
10: 64 分频
11: 256 分频
- Bit[3:2]: T4M, 定时器 4 方式选择位
0x: 模式 0, 16 位自动重载定时器
10: 模式 2, T4 端口上升沿触发（只用系统时钟）
11: 模式 2, T4 端口下降沿触发（只用系统时钟）
- Bit1: TR4, 定时器 4 开始/停止控制位
0: 停止定时器 4
1: 开始定时器 4
- Bit0: T4CLKS, 定时器 4 定时器/计数器方式选定位
0: 系统时钟, T4 做 I/O 端口
1: T4 端口输入外部时钟, 自动上拉

15.2.2. T4 重载/计数数据低字节 (TL4)

名称/地址:	TL4, BANK0, B5H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	TL4							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	一: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

➤ Bit[7:0]: TL4, 定时器 4 重载/计数数据低字节

15.2.3. T4 重载/计数数据高字节 (TH4)

名称/地址:	TH4, BANK0, B6H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	TH4							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	一: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

➤ Bit[7:0]: TH4, 定时器重载/计数数据 4 高字节

15.3. 功能描述

定时器 4 有两种工作方式: 16 位自动重载定时器和有 T4 边沿触发的 16 位自动重载定时器。这些方式通过 T4CON 寄存器的 T4M[1:0] 设置。

15.3.1. 16 位自动重载定时器

定时器 4 在方式 0 为 16 位自动重载定时器。TH4 寄存器存放 16 位计数器/定时器高 8 位, TL4 存放低 8 位。当 16 位定时寄存器递增计数到 0xFFFF 溢出, 系统置定时器溢出标志 TF4 (T4CON.7) 为 1, 16 位寄存器的值被重新载入计数器, 如果允许定时器 4 中断则产生中断。

T4CON.0 寄存器的 T4CLKS 位选择时钟源。当 T4CLKS = 1 时, 定时器 4 的时钟源为外部时钟, 预分频后, 计数器数据寄存器增加。当 T4CLKS = 0, 定时器 4 的时钟源为系统时钟。

T4CON.1 寄存器的 TR4 位置 1 允许定时器 4, 且不清定时器 4 的计数器。在允许定时器 4 之前, 将希望的初始值写入定时器重载寄存器中。

将 P03 引脚复用为 T4OUT, 定时器 4 从 TH4 和 TL4 预设值开始向 0xFFFF 计数, 当计数器溢出时, T4_OUT 端口输出反转, 同时定时器 4 中断标志位被置起。此情况下, 定时器 4 必须工作在定时方式 (T4CLKS = 0)。

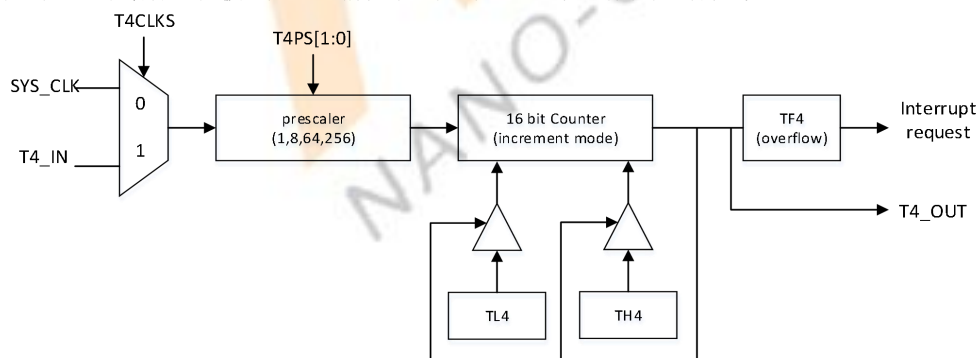


图 15- 1 16 位自动重载模式

15.3.2. 单周期触发的 16 位自动重载定时器

定时器 4 在方式 2 为 16 位自动重载定时器。T4CON.0 寄存器的 T4CLKS 位一直为 0, 定时器 4 只能选择系统时钟为时钟源, 其余设置与方式 0 一致。

在方式 2 下，当 T4CON.1 的 TR4 位置 1 后，定时器 4 在来自 T4_in 口的有效信号（T4M[1:0] 决定的上升或下降沿）触发下开始计数。当定时器 4 计数到 0xFFFF 溢出时置 TF4 位为 1。溢出同时，定时器重载寄存器的 16 位数据被重新载入计数寄存器 TH4 和 TL4 中，定时器 4 将保持重载值并等待下一个触发沿。

在定时器 4 工作时同时有一个触发信号时，如果 TC4 = 0，忽略此信号；如果 TC4 = 1，定时器 4 被触发。

TR4 置 1 不会清除定时器 4 的计数值，在使能定时器之前应该把希望的初始化值写入重载寄存器。

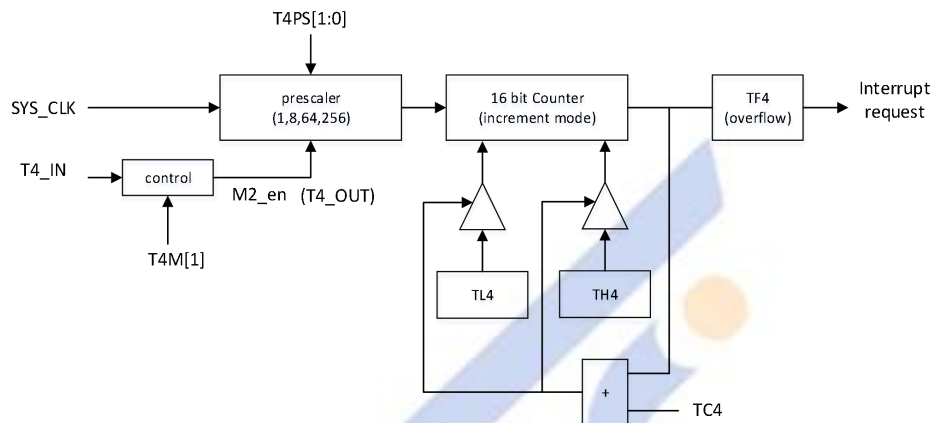


图 15- 2 单周期触发 16 位重载模式

M2_en 在 T4 触发沿置一，计数到溢出后清零。

注意：

- (1) 当定时器 4 在波特率发生器方式下作为定时器工作时（TR4 = 1），TH4 或 TL4 不能读取或写入。因为定时器在每个状态时间递增，可能导致读取或写入的结果不精确。因此，在访问 TH4/TL4 寄存器之前，定时器 4 必须被关闭（TR4 = 0）。
- (2) 当定时器 4 用作计数器时，T4 引脚的输入信号频率要小于系统时钟的一半。

16. 定时器 T5

16.1. 基本特征

- 支持预分频
- 支持 16 位自动重载定时器模式

16.2. 寄存器描述

表 16-1 T3 寄存器列表

名称	说明	可位寻址	读写权限	复位值	BANK 地址	字节地址
T5CON	T5 控制寄存器	×	R/W	0000 0000B	BANK0	8CH
TL5	T5 重载/计数数据低字节	×	R/W	0000 0000B	BANK0	8DH
TH5	T5 重载/计数数据高字节	×	R/W	0000 0000B	BANK0	8EH

T5 寄存器列表详细说明如下：

16.2.1. T5 控制寄存器（T5CON）

名称/地址:	T5CON, BANK 0, 8CH							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	TF5	-	T5PS.1	T5PS.0	-	-	TR5	-
访问权限:	R/W	-	R/W	R/W	-	-	R/W	-
复 位 值:	0	0	0	0	0	0	0	0
提 示:	一: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

- Bit7: TF5, 定时器 5 溢出标志位
0: 未发生溢出
1: 溢出
- Bit[5:4]: T5PS, 定时器 5 预分频比选择位
00: 不分频
01: 8 分频
10: 64 分频
11: 256 分频
- Bit1: TR5, 定时器 5 开始/停止控制位
0: 停止定时器 5
1: 开始定时器 5

16.2.2. T5 重载/计数数据低字节（TL5L）

名称/地址:	TL5, BANK0, 8DH							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	TL5							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	一: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

- Bit[7:0]: TL5, 定时器 5 重载/计数数据低字节

16.2.3. T5 重载/计数数据高字节（TH5）

名称/地址:	TH5, BANK0, 8EH							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	TH5							

访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	0	0	0	0	0	0	0
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写						

- Bit[7:0]: TH5, 定时器重载/计数数据 5 高字节

16.3. 功能描述

定时器 5 只有一个工作方式: 16 位自动重载定时器, 可以设置预分频比。

当 TH5 和 TL5 被写时, 用作定时器重载寄存器, 当被读时, 被用作计数寄存器。TR5 位置 1 使定时器 5 开始递增计数。定时器在 0xFFFF 到 0x0000 溢出并置 TF5 位为 1。溢出同时, 定时器重载寄存器的 16 位数据重新载入计数寄存器中, 对 TH5 的写操作也导致重载寄存器的数据重新载入计数寄存器。

TH5 和 TL5 读写操作遵循以下顺序:

写操作: 先低位后高位

读操作: 先高位后低位

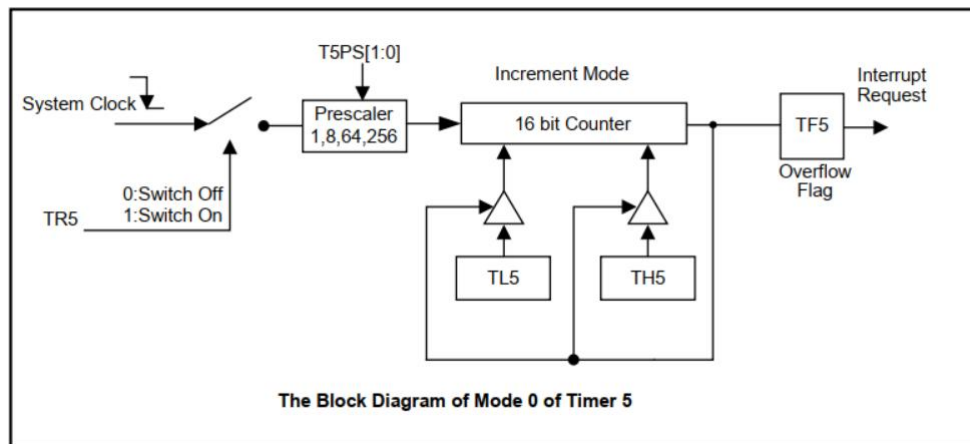


图 16- 1 Timer5 内部框图

17. UART

ATM8F3140A 内部集成一个串行通讯接口。该串口可在很宽的频率范围内以多种模式工作，其主要功能如下：在输出数据时，把数据进行并-串转换，在输入数据时，把数据进行串-并转换。

ATM8F3140A 的串口支持同步和异步的收发。可以工作在 4 种工作模式，一种同步模式，3 种异步模式。在接收时具有一个字节的接收缓冲功能，即在接收第 2 个字符时将先前接收到的字符存储在缓冲区，只要用户在第 2 个字符接收结束之前将第一个字符取走，数据就不会丢失。

17.1. 基本特征

ATM8F3140A 的串口兼容传统 51 的 4 种工作模式，其基本特征如下：

- 支持 8 位移位寄存器模式（模式 0）
- 支持 8 位可变波特率模式（模式 1）
- 支持 9 位固定波特率模式（模式 2）
- 支持 9 位可变波特率模式（模式 3）
- 串口的波特可以选择定时器 1 产生也可以选择由串口自动产生
- 支持 LIN 功能

17.2. 工作模式

复位释放后定时器默认关闭，软件使能后开启。

待机模式下，如果进入待机前使能，待机模式下仍能工作。如果待机模式前使能了中断，产生中断时，能够唤醒电路。

17.3. 内部框图

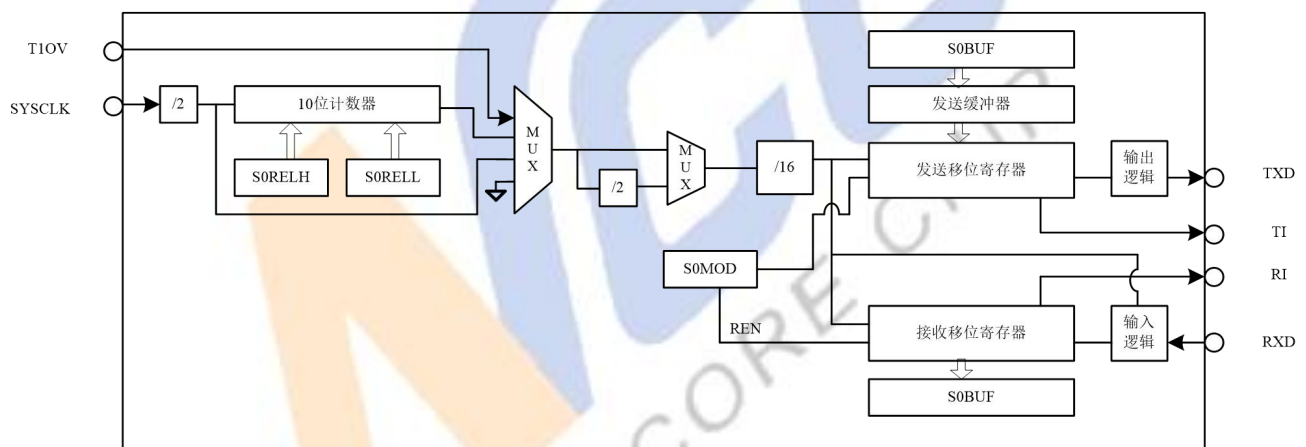


图 17-1 UART 功能框图

17.4. 寄存器描述

表 17-1 UART 寄存器列表

名称	说明	可位寻址	读写权限	复位值	BANK 地址	字节地址
SCON	串口控制寄存器	×	R/W	0000 0000B	BANK0/1	98H
SBUF	串口缓冲寄存器	×	R/W	0000 0000B	BANK0	99H
SBRTL	串口波特率寄存器低字节	×	R/W	0000 0000B	BANK0	A1H
SBRTH	串口波特率寄存器高字节	×	R/W	0000 0000B	BANK0	A2H
SLIN	串口 LIN 控制寄存器	×	R/W	0000 0000B	BANK0	9AH

UART 寄存器列表详细说明如下：

17.4.1. 串口控制寄存器（SCON）

名称/地址：SCON（98H，BANK0/1）

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	SM0	SM1	SM2	REN	TB8	RB8	TI	RI
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

- Bit7: SM0, 工作模式控制位 0
- Bit6: SM1, 工作模式控制位 1, 与工作模式控制位 0(SM0)一起确定串口工作模式
 - 00: 8 位移位寄存器模式
 - 01: 8 位可变波特率模式
 - 10: 9 位固定波特率模式
 - 11: 9 位可变波特率模式
- Bit5: SM2, 工作模式控制位 2, 允许在工作模式 2 和 3 下进行多处理器通信, 如果接收到的第 9 位是 0, RI 不会置位
 - 0: 禁止多处理器通信
 - 1: 使能多处理器通信
- Bit4: REN, 接收使能位
 - 0: 禁止串口接收
 - 1: 使能串口接收
- Bit3: TB8, 发送数据的第 8 位, 在模式 3 下, 这是发送数据的第 9 位
- Bit2: RB8, 接收数据的第 8 位, 在模式 3 下, 存放接收到的第 9 位数据
- Bit1: TI, 发送中断标志
 - 0: 发送未完成
 - 1: 发送完成
- Bit0: RI, 接收中断标志
 - 0: 接收未完成
 - 1: 接收完成

17.4.2. 串口缓冲寄存器 (SBUF)

名称/地址:	SBUF (99H, BANK0)							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	SBUF							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

- Bit[7:0]: SBUF, 串口缓冲寄存器, 写该寄存器时自动启动串口发送操作。读该寄存器时, 读串口接收缓冲器的内容

17.4.3. 串口波特率寄存器低字节 (SRELL)

名称/地址:	SRELL (A1H, BANK0)							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	SRELL							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

- Bit[7:0]: SRELL, 串口波特率寄存器低 8 位

17.4.4. 串口波特率寄存器高字节 (SRELH)

名称/地址:	SRELH (A2H, BANK0)							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	SRELH							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	一: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

- Bit[7:2]: 未使用
- Bit[1:0]: SRELH, 波特率寄存器高 2 位

17.4.5. 串口 LIN 控制寄存器 (SLIN)

名称/地址:	SLIN (9AH, BANK0)							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	LINEN	SBK_RQ	-	-	-	-	TX_LIN_IF	RX_LIN_IF
访问权限:	R/W	WO	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	一: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

- Bit[7]: LIN 功能使能位
- Bit[6]: SBK_RQ, 写 1 发送 LIN 的间隔信号, 硬件自动清零
- Bit[5:2]: 未使用
- Bit[1]: TX_LIN_IF, 发送完 LIN 的间隔信号后硬件置一。软件写 1 清零
- Bit[0]: RX_LIN_IF, 接收检测到 LIN 的间隔信号后硬件置一。软件写 1 清零

17.5. 功能描述

串口工作寄存器共支持 4 种工作模式, 根据 SCON 配置 SM0, SM1 位选择。其中模式 0 为同步模式, 模式 1, 2, 3 为异步模式。在异步模式发送或者接收时都带有一个开始位和一个停止位。模式 0 仅仅用作简单的移位寄存器。

17.5.1. 8 位移位寄存器模式 (模式 0)

当 SCON 中的 {SM1, SM0} 配置为 00 时, 串口工作在模式 0, 该模式是一种同步模式, 仅仅用作简单的移位寄存器, 其中 TXD 输出移位时钟, RXD 用作输入输出数据。

在输出时, 只需要将需要发送的数据写入 SBUF 寄存器中, 数据发送立刻开始, 数据通过 RXD 端输出, 时钟脉冲通过 TXD 输出, 发送时 LSB 数据先输出。

在作为输入时, 首先需要配置 SCON 中的接收使能, 在要开始数据接收时需要配置 RI 的下降沿, 接收电路在判断到 RI 的下降沿后开始发送移位时钟。数据在 TXD 移位的时钟的上升沿输入。

8 位移位寄存器模式的移位脉冲是主时钟的 12 分频。

17.5.2. 8 位可变波特率模式 (模式 1)

当 SCON 中的 {SM1, SM0} 配置为 01 时, 串口工作在 8 位可变波特率模式。8 位可变波特率模式是以种异步收发模式, 每次发送或者接收 10 位数据, 包括 1 个低电平的起始位, 8 位数据位 (LSB 在先), 1 个停止位。

在发送或者接收时波特率可以根据 PCON 寄存器的 BD 位选择是采用 Timer2 的溢出速率, 或者由串口自身寄存器 SRELL, SRELH 组成的波特率发生器, 同时也可以根据 PCON 的 SMOD 位选择是否要将串口波特率倍增。

模式 1 的发送只需要往 SBUF 中写入需要发生的数据。TXD 将根据前面介绍的数据帧发送数据, 发送结束后产生发送完成标志, TI 置 1。

模式 1 的接收首先需要配置 SCON 的 REN 位为 1, 然后一直监测 RXD 信号的变化, 当发生 RXD 由 1 到 0 的变化时, 接收开始, 接收到的数据首先存储在接收移位寄存器中, 接收结束后将移位寄存器中的值更新到 SBUF 中, 同时接受完成标志 RI 置 1。接受时停止位将会被置入 SCON 的 RB8 位。

17.5.3.9 位固定波特率模式（模式2）

当 SCON 中的 {SM1, SM0} 配置为 10 时，串口工作在 9 位固定波特率模式。每次发送或接收 11 位数据，包括一个起始位，8 位数据，1 个可编程位，1 个停止位。

工作在模式 2 时，发送或者接受的波特率为系统时钟的 32 分频或者 64 分频。可以根据 PCON 中的 SMOD 配置是否需要倍频。

模式 2 的发送数据配置在 SBUF 中，第 9 位（可编程位）由 SCON 的 TB8 配置，用户可以根据需要将该位配置为奇偶校验位或者其他数据内容。发送方式与模式 1 相同。

模式 2 的接收与模式 1 类似，第 9 位将被送入 SCON 的 RB8 中。

17.5.4.9 位可变波特率模式（模式3）

当 SCON 中的 {SM1, SM0} 配置为 11 时，串口工作在 9 位可变波特率模式，改工作模式与工作模式 2 类似，唯一的区别是其波特率是可变的。

工作在模式 3 时，其发送或者接收时波特率可以根据 PCON 寄存器的 BD 位选择是采用 Timer2 的溢出速率，或者由串口自身寄存器 SRELL, SRELH 组成的波特率发生器，同时也可以根据 PCON 的 SMOD 位选择是否要将串口波特率倍增。

17.5.5. 波特率

在模式 1 和模式 3 中，波特率可以根据不同的配置设置可变波特率。

当 PCON 中的 BD 为设置为 0 时，将采用 Timer2 的溢出速率作为波特率，波特率的计算公式为：

$$\text{baud rate} = \frac{2^{\text{SMOD}} * \text{FCLK}}{32} * (\text{Timer2 Overflow rate})$$

当 PCON 中的 BD 为设置为 1 时，将采用串口自身波特率，波特率的计算公式为：

$$\text{baud rate} = \frac{2^{\text{SMOD}} * \text{FCLK}}{64 * (2^{10} - \text{SOREL})}$$

17.5.6. 多处理器通讯

当串口工作在模式 2 或者模式 3 时，可以用作多处理器通信。在这两个模式中，接收的第 9 位数据将被写入 SCON 的 RB8。通过配置 SCON 的 SM2 位为 1，使得只有接收到 RB1 为 1 时才会置位接收中断标志，配置多机通信的流程如下：

首先为所有的从机分配独立的从机地址，所有的从机 SCON 中的 SM2 都置位为 1。在需要发生通信时，主机首先发送需要通信的从机地址，注意地址的第 9 位为 1，所有的从机接收到该地址后都将产生中断，在中断中比较该地址是否与自身地址匹配，如果匹配则将该从机的 SM2 清零。此后主机和从机开始通信，注意通信时的数据第 9 位都必须为 0。如果不匹配，则依然保持它们的 SM2 为 1，忽略接收到的数据，继续它们自己的任务，直到新的地址字节来临。

17.5.7. LIN 功能

LIN 发送：使能 LIN 功能后可以通过写 SBK_RQ 为 1，发送间隔信号，间隔信号为 13 个周期的低电平数据信号。发送 LIN 完成信号时硬件置位 TX_LIN_IF。可通过软件写 1 清零。

LIN 接收：接收端检测到 LIN 的间隔信号后，硬件置位 RX_LIN_IF。可通过软件写 1 清零。

18. SPI

18.1. 规格介绍

ATM8F3140A 内部集成一个 SPI 通讯接口。支持在 MCU 与外设之间进行全双工，同步的串行通信。该模块可以配置为主机模式或者从机模式。其基本特征如下：

- 支持全双工通信
- 支持主机模式和从机模式
- 主机模式下支持 7 种传输波特率，从机模式下最大可支持 FCLK/4 的波特率
- 串行时钟可根据极性和相位配置为 4 种不同的模式
- 支持冲突检测，支持多机通信

18.2. 工作模式

复位释放后定时器默认关闭，软件使能后开启。

待机模式下，如果进入待机前使能，待机模式下仍能工作。如果待机模式前使能了中断，产生中断时，能够唤醒电路。

18.3. 寄存器描述

表 18- 1 SPI 寄存器列表

名称	说明	可位寻址	读写权限	复位值	BANK 地址	字节地址
SPICON	SPI 控制寄存器	×	R/W	0000_0000B	BANK0	94H
SPIDAT	SPI 数据寄存器	×	R/W	0000_0000B	BANK0	95H
SPISTA	SPI 状态寄存器	×	R/W	0000_0000B	BANK0	96H
ALFSEL1	端口映射寄存器	×	R/W	0000_0011B	BANK0	8AH

SPI 寄存器列表详细说明如下：

18.3.1. SPI 控制寄存器（SPICON）

名称/地址:	SPICON, BANK0, 94H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	SPR2	SPEN	SSDIS	MSTR	CPOL	CPHA	SPR1	SPR0
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

- Bit7: SPR2, 串口波特率设置控制位 2，与 SPR1, SPR0 共同确定主机模式波特率
- Bit6: SPEN, SPI 模块使能位
 - 0: 禁止 SPI 模块
 - 1: 使能 SPI 模块
- Bit5: SSDIS, SPI 通信不使用 SSN 引脚
 - 0: 从机或者主机模式，使用 SSN 引脚
 - 1: 不使用 SSN 引脚，当该位置 1 时，不会发生 MODF 中断请求

注：若 MSTR 置 1 配置为主机模式，SSDIS 为 0，当 SPEN 置 1 使能时，MSTR 和 SPEN 位都会被清 0

- Bit4, MSTR, 主从机配置位
 - 0: 配置为从机模式
 - 1: 配置为主机模式
- Bit3, CPOL, 时钟极性配置位
 - 0: SCK 在 0 时处于无效状态
 - 1: SCK 在 1 时处于无效状态
- Bit2, CPHA, 时钟相位配置位

- 0: 数据在时钟退出无效状态时捕获
- 1: 数据在时钟进入无效状态时捕获
- Bit1, SPR1, 串口波特率设置控制位 1, 与 SPR2, SPR0 共同确定主机模式波特率
- Bit0, SPR0, 串口波特率设置控制位 0, 与 SPR2, SPR1 共同确定主机模式波特率。当 {SPR2, SPR1, SPR0} 配置为:
 - 000: 主机发送时钟为 FCLK/2
 - 001: 主机发送时钟为 FCLK/4
 - 010: 主机发送时钟为 FCLK/8
 - 011: 主机发送时钟为 FCLK/16
 - 100: 主机发送时钟为 FCLK/32
 - 101: 主机发送时钟为 FCLK/64
 - 110: 主机发送时钟为 FCLK/128
 - 111: 无效 (当 CPOL=1 时, SCK 输出 H, 当 CPOL=0 时, SCK 输出 L)

18.3.2. SPI 数据寄存器 (SPIDAT)

名称/地址:	SPIDAT, BANK0, 95H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	SPIDAT							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	一: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W: 可读写							

- Bit[7:0]: SPIDAT, 当 SPI 工作在主机模式时, 写该寄存器开始发送过程。读该寄存器时读取接收缓冲器内容

18.3.3. SPI 状态寄存器 (SPISTA)

名称/地址:	SPISTA, BANK0, 96H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	SPIF	WCOL	SSERR	MODF	REV			
访问权限:	R/W	R/W	R/W	R/W	R	R	R	R
复 位 值:	0	0	0	0	0	0	0	0
提 示:	一: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W: 可读写							

- Bit7: SPIF, SPI 数据传送标志, 该位在数据传送完成后置 1。当该位置 1 后, 可以通过先读 SPISTA 寄存器再读 SPIDAT 清除。此标志置 1 时可产生中断
- Bit6: WCOL, SPI 写冲突标志, 当该模块作为从机接收未完成或者作为主机发送未结束时, 往 SPIDAT 写新数据时由硬件置起。当该位置 1 后, 可以通过先读 SPISTA 寄存器再读 SPIDAT 寄存其清除
- Bit5: SSERR, SSN 错误标志, 该位只在作为从机时有效, 当作为从机时, 如果 SSN 在接收完成之前置 1, 该位将会被置起。只能通过禁止 SPI 模块来清除
- Bit4: MODF, 模式错误标志, 该位在对该模块设置为主机模式, 外部却将其选择作为从机时由硬件置起。可以通过读 SPISTA 寄存器再写 SPICON 来清除。此标志置 1 时可产生中断
- Bit[3:0]: 保留

18.3.4. 复用功能寄存器 1 (ALFSEL1)

名称/地址:	ALFSEL1, BANK0, 8AH							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	SSN	SCK	MOSI	MISO	TXD	RXD	PCLK	PDAT
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	1	1

提示： 一： 未实现位； U： 不受复位影响； R-0： 只读，读 0； R/W ： 可读写

- Bit7: P25 功能复用选择
 - 0: P25 配置为 GPIO
 - 1: P25 配置为 SSN 输入
- Bit6: P24 功能复用选择
 - 0: P24 配置为 GPIO
 - 1: P24 配置为 MOSI
- Bit5: P23 功能复用选择
 - 0: P23 配置为 GPIO
 - 1: P23 配置为 MISO
- Bit4: P22 功能复用选择
 - 0: P22 配置为 GPIO
 - 1: P22 配置为 SCK

18. 4. 功能描述

SPI 模块可以根据要求配置为主机模式和从机模式，在主机模式和从机模式下可以通过配置 SPICON 中的 CPOL 和 CPHA 位来控制发送或者接收的数据模式。其中 CPHA 允许用户配置数据在时钟的哪个相位会被采样或发送，CPOL 配置时钟的极性。

18. 4. 1. 从机模式

当 SPICON 中的 MSTR 位设置为 0，同时 SPIEN 位也设置为 1 时，SPI 模块等待 SSN 管脚变低。当 SSN 为低时，从机接收主机的串口时钟，并开始数据传送。从机模式的最快波特率为 FCLK/4。

当 CPHA 设置为 0 时，从机的数据在检测到 SSN 下降沿时就必须输出 MSB，从机模式的发送接收时序图如图 18- 1 从机模式，CPHA=0 所示，当时钟的极性配置为 CPOL=0 时，MOSI/MISO 上的数据将在时钟从 1 跳变到无效状态 0 时改变。当时钟的极性配置为 CPOL=1 时，MOSI/MISO 上的数据将在时钟从 0 跳变到无效状态 1 时发生改变。

当 CPHA 设置为 1 时，从机的数据在第一个时钟有效沿时输出 MSB，从机模式的发送接收时序图如图 18- 2 从机模式，CPHA=1 所示，当时钟的极性配置为 CPOL=0 时，MOSI/MISO 上的数据将在时钟从无效状态 0 跳变到 1 时改变。当时钟极性配置为 CPOL=1 时，MOSI/MISO 上的数据将在时钟从无效状态 1 跳变到 0 时发生改变。

作为从机接收数据，在接收每个字节的数据之前，SSN 引脚的应输入低电平；接收完每一字节的数据后 SSN 引脚应输入高电平。

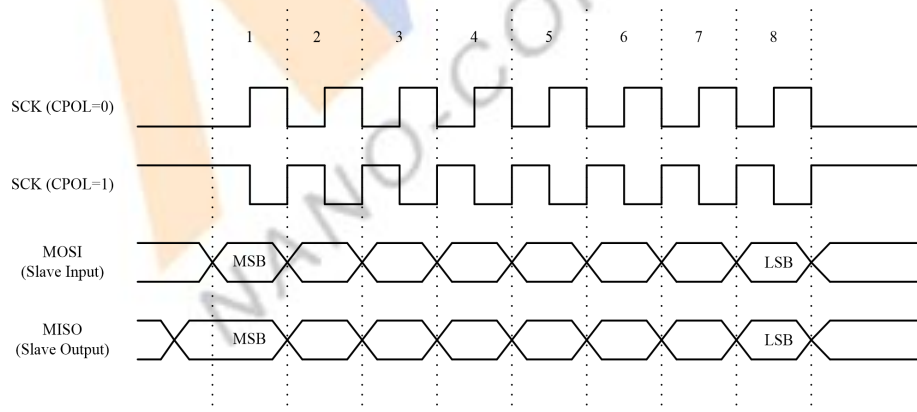


图 18- 1 从机模式，CPHA=0

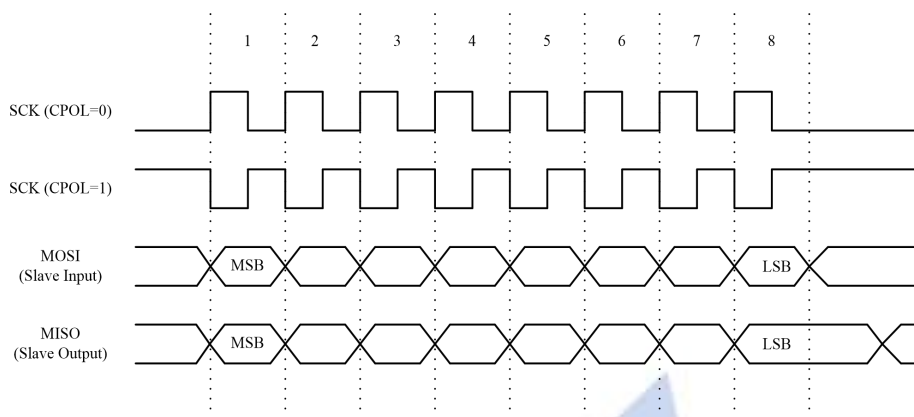


图 18- 2 从机模式，CPHA=1

18.4.2. 主机模式

当 SPICON 中的 MSTR 位设置为 1，同时 SPIEN 位也设置为 1 时，SPI 模块等待 SPIDAT 的写操作。在发生 SPIDAT 的写操作后，SPI 数据传送开始。数据从 MOSI 发出，同时从机的数据可以从 MISO 数据输入，主机产生移位时钟输出。主机模式的波特率可以根据 SPICON 中的 SPR2, SPR1, SPRO 来配置。

当 CPHA 设置为 0 时，主机模式的发送接收时序图如图 18- 3 主机模式，CPHA=0

所示，当时钟的极性配置为 CPOL=0 时，MOSI/MISO 上的数据将在时钟从 1 跳变到无效状态 0 时改变。当时钟的极性配置为 CPOL=1 时，MOSI/MISO 上的数据将在时钟从 0 跳变到无效状态 1 时发生改变。

当 CPHA 设置为 1 时，主机模式的发送接收时序图如图 18- 4 主机模式，CPHA=1 所示，当时钟的极性配置为 CPOL=0 时，MOSI/MISO 上的数据将在时钟从无效状态 0 跳变到 1 时改变。当时钟极性配置为 CPOL=1 时，MOSI/MISO 上的数据将在时钟从无效状态 1 跳变到 0 时发生改变。

在主机模式下，对从机的片选信号由普通 IO 口来进行操作。

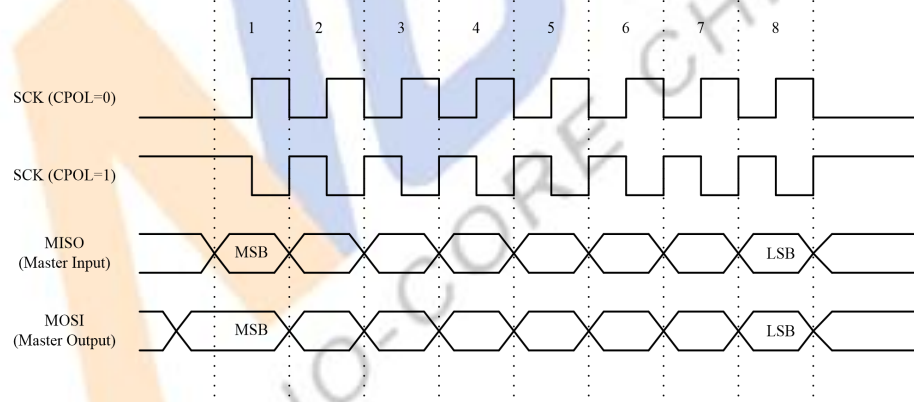


图 18- 3 主机模式，CPHA=0

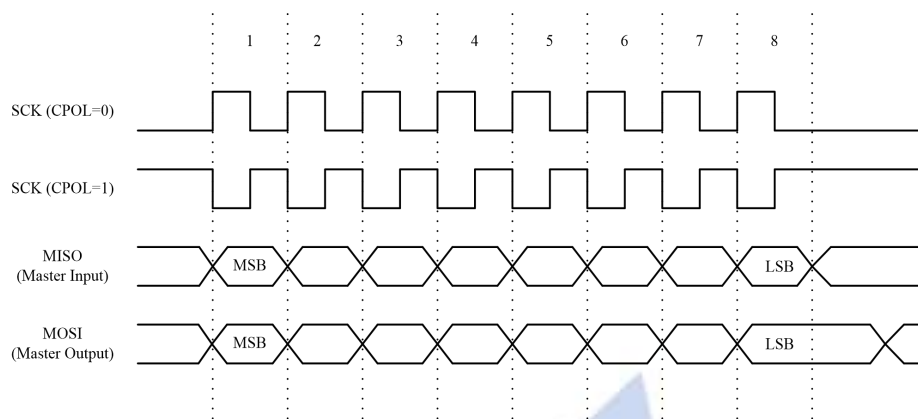


图 18- 4 主机模式，CPHA=1

18. 4. 3. 中断产生

SPI 在工作时共有 2 种可能产生中断的中断源，这两个中断共用一个中断地址。可以通过 SPISTA 寄存器判断具体的中断源。

SPIF 在传输完成后，该位由硬件自动置起。该标志位只能通过软件清除，清除时需要首先读 SPISTA 寄存器，判断 SPIF 是否置起，如果置起则再读取 SPIDAT 寄存器，在读取接收值的同时也清除 SPIF 标志位。

如果 SPI 设置为主机模式，SSDIS 位设置为 0，同时外部 SSN 管脚输入为 1，就会触发 MODF 中断，该中断可以通过读 SPISTA 寄存器再写 SPICON 清除。

例：判断 SPISTA 后，确定是 MODF 中断，通过对 SPICON 寄存器以下操作可清除本次中断。

```
SPICON |= (1 << 4);  
SPICON |= (1 << 6);
```

18. 4. 4. 错误监测

SPI 在工作时还提供两种错误监测机制，用户可以通过 SPISTA 读取是否发送错误。

写冲突错误检测，当 SPI 作为从机时，接收尚未结束，用户就往 SPIDAT 写数据，或者 SPI 作为主机时，发送数据还没有完成，用户就往 SPIDAT 写新数据就会发生写冲突错误，当该错误发生后，用户可以通过读 SPISTA 寄存器判断 WCOL 位是否置起，如果置起再取 SPIDAT 寄存器将其清除。

SSN 错误标志，当 SPI 作为从机时，如果 SSN 在接收完成之前被主机置 1，就会发生该错误，该错误只能通过禁止 SPI 模块来清除。当 SSDIS 设置为 1 时，不会发生 SSERR 错误。

18. 4. 5. 典型配置

对于主机模式，用户可以采用任何管脚来配置从机的 NSS 管脚。对于从机，当 SSIDS 设置为 0 时，由 NSS 管脚来配置从机是否使能。

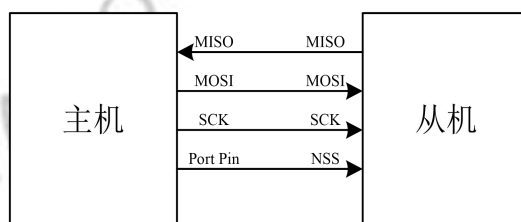


图 18- 5 单主机单从机模式

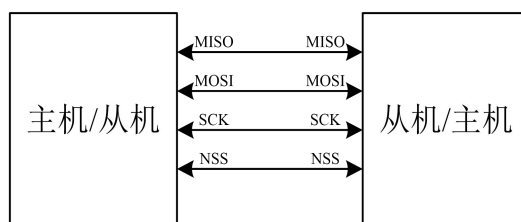


图 18- 6 通信双方都可以作为主机从机模式

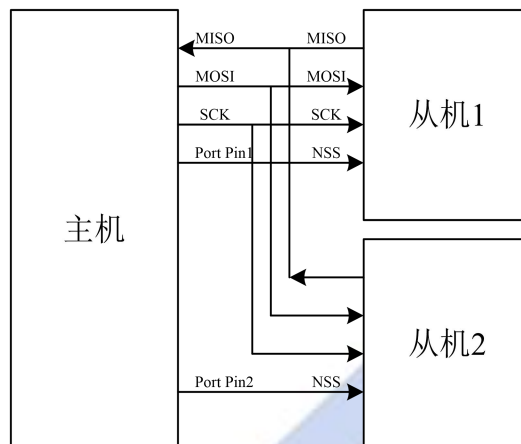


图 18- 7 单主机多从机模式

19. IIC

19.1. 基本特征

- 支持 Philips I2C 总线标准，仅支持 7 位地址模式
- 支持主机发送，主机接收，从机发送及从机接收模式
- 支持标准模式（100K）及高速模式（400K，仅支持从机模式）
- 支持多主机通信时冲突检测及仲裁

19.2. 寄存器描述

表 19- 1 IIC 寄存器列表

名称	说明	可位寻址	读写权限	复位值	BANK 地址	字节地址
I2CCON	I2C 控制寄存器	×	R/W	0000 0000B	BANK0	F1H
I2CADR	I2C 地址寄存器	×	R	0000 0000B	BANK0	F2H
I2CDAT	I2C 数据寄存器	×	R	0000 0000B	BANK0	F3H
I2CSTAT	I2C 状态寄存器	×	R/W	0000 0000B	BANK0	F4H

I2C 寄存器详细说明如下：

19.2.1. I2C 控制寄存器（I2CCON）

名称/地址：	I2CCON, BANK0, F1H							
位 序 号：	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义：	CR2	I2CEN	STA	STO	SI	AA	CR1	CR0
访问权限：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值：	0	0	0	0	0	0	0	0
提 示：	—： 未实现位；U： 不受复位影响；R-0： 只读，读 0；R/W： 可读写							

- Bit7: CR2, I2C 波特率选择寄存器，与 BIT1/0 共同选择 I2C 主机模式的波特率
- Bit6: I2CEN, I2C 使能控制位
 - 0: 禁止 I2C 工作
 - 1: 使能 I2C 工作
- Bit5: STA, I2C 启动位，仅 I2C 主机模式有用，写 1 后如果总线空闲，产生 I2C START
- Bit4: STO, I2C 停止位，在主机模式时，写 1 在总线上产生 STOP
- Bit3: SI, 中断标志位
 - 0: 未发生 I2C 中断
 - 1: 发生 I2C 中断
- Bit2: ACK 使能位，写 1 在总线上产生 ACK
- Bit1: CR1, I2C 波特率选择寄存器，与 BIT7/0 共同选择 I2C 主机模式的波特率
- Bit0: CR0, I2C 波特率选择寄存器，与 BIT7/1 共同选择 I2C 主机模式的波特率
 - 000: 256 分频
 - 001: 224 分频
 - 010: 192 分频
 - 011: 160 分频
 - 100: 960 分频
 - 101: 120 分频
 - 110: 60 分频
 - 111: 保留

19.2.2. I2C 地址寄存器 (I2CADR)

名称/地址:	I2CADR, BANK0, F2H						
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1
位 定 义:	I2CADR						GC
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0
提 示:	一: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写						

➤ Bit[7:1]: I2CADR, I2C 地址寄存器

➤ Bit0: GC, 广播返回, 该为配置为 1 时, 广播地址被识别, 作从机时可接收 0x00 地址的数据

19.2.3. I2C 数据寄存器 (I2CDAT)

名称/地址:	I2CDAT, BANK0, F3H						
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1
位 定 义:	I2CDAT						
访问权限:	R/W	R/W	R/W	R/W	R-0	R-0	R-0
复 位 值:	0	0	0	0	0	0	0
提 示:	一: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写						

➤ Bit[7:0]: I2CDAT, I2C 数据寄存器

19.2.4. I2C 状态寄存器 (I2CSTAT)

名称/地址:	I2CSTAT, BANK0, F4H						
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1
位 定 义:	I2CSTAT						
访问权限:				R/W	R/W	R/W	R/W
复 位 值:				0	0	0	0
提 示:	一: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写						

➤ Bit[7: 3]: I2CSTAT, I2C 状态寄存器

19.3. 功能描述

I2C 总线支持正常工作模式及高速模式, 支持主机发送, 主机接收, 从机发送及从机接收模式。在每种模式下面, I2C 在各个阶段都会产生中断, 可通过判断 I2C 的状态寄存器获取 I2C 的发送过程。

19.3.1. 主机发送

一：主机发送							
状态码	I2C 接口状态	应用软件响应				I2C 执行的下一个动作	
		读/写数据寄存器 I2CDAT 操作	I2CCON 控制位操作				
			STA	STO	SI		AA
08H	已经发送 START	写入 ADR+W	×	0	0	×	发送 ADR+W，接收 ACK
10H	完成再次发送 START	写入 ADR+W	×	0	0	×	发送 ADR+W，接收 ACK
		写入 ADR+R	×	0	0	×	发送 ADR+R，I2C 切换到主机发送模式
18H	已经发送 ADR+W 已接收 ACK	写入数据字节	0	0	0	×	发送数据，接收 ACK
		无动作	1	0	0	×	再次发送 START
			0	1	0	×	发送 STOP，清除 STO 标志
			1	1	0	×	发送 STOP，之后发送 START；STO 被清除
20H	已发送 ADR +W； 已接收 NACK	写入数据字节	0	0	0	×	发送数据，接收 ACK
		无动作	1	0	0	×	再次发送 START

28H	已发送 I2CDAT 中数据; 已接收 ACK	写入数据字节	0	1	0	×	发送 STOP, 清除 STO 标志
			1	1	0	×	发送 STOP, 之后发送 START; STO 被清除
		无动作	0	0	0	×	发送数据, 接收 ACK
			1	0	0	×	再次发送 START
30H	已发送 I2CDAT 中数据; 已接收 NACK	写入数据字节	0	0	0	×	发送数据, 接收 ACK
			1	0	0	×	再次发送 START
		无动作	0	1	0	×	发送 STOP, 清除 STO 标志
			1	1	0	×	发送 STOP, 之后发送 START; STO 被清除

19.3.2. 主机接收

二：主机接收							
状态码	I2C 接口状态	应用软件响应					I2C 执行的下一个动作
		读/写数据寄存器 I2CDAT 操作	I2CCON 控制位操作				
			STA	STO	SI	AA	
08H	已经发送 START	写入 ADR+R	×	0	0	×	发送 ADR+R, 接收 ACK
10H	已经再次发送 START	写入 ADR+R	×	0	0	×	发送 ADR+R, 接收 ACK
		写入 ADR+W	×	0	0	×	发送 ADR+W, I2C 切换到主机接收模式
40H	完成发送 ADR+R 已收到 ACK	无动作	0	0	0	0	接收数据, 返回 NACK
			0	0	0	1	接收数据, 返回 ACK
48H	完成发送 ADR+R 收到 NACK	无动作	1	0	0	×	再次发送 START
			0	1	0	×	发送 STOP, 复位 STO 标志
			1	1	0	×	发送 STOP, 之后发送 START; STO 被清除
50H	接收到数据, 已返回 ACK	读取数据	0	0	0	0	准备接收数据, 返回 NACK
			0	0	0	1	准备接收数据, 返回 ACK
58H	接收到数据, 已返回 NACK	读取数据	1	0	0	×	再次发送 START
			0	1	0	×	发送 STOP, 复位 STO 标志
			1	1	0	×	发送 STOP, 之后发送 START; STO 被清除

19.3.3. 从机发送

三：从机发送							
状态码	I2C 接口状态	应用软件响应					I2C 执行的下一个动作
		读/写数据寄存器 I2CDAT 操作	I2CCON 控制位操作				
			STA	STO	SI	AA	
A8H	已接收到自己 ADR+R; 已回应 ACK	写入数据字节	×	0	0	0	发送最后数据; 等待 ACK 回应
			×	0	0	1	发送数据; 等待 ACK 回应
B0H	作为主机发送 ADR+R/W 时丢失仲裁, 接收到主机 ADR+R; 已回应 ACK	写入数据字节	×	0	0	0	发送最后数据; 等待 ACK 回应
			×	0	0	1	发送数据; 等待 ACK 回应
B8H	已发送数据, 接收到 ACK	写入数据字节	×	0	0	0	发送最后数据; 等待 ACK 回应
			×	0	0	1	发送数据; 等待 ACK 回应

C0H	已发送数据, 收到 NACK	无动作	0	0	0	0	切换至没有匹配的从机模式; 不响应匹配自己地址和通用地址
			0	0	0	1	切换至没有匹配的从机模式; 响应匹配自己的地址和通用地址
			1	0	0	0	切换至没有匹配从机模式; 不响应匹配自己地址和通用地址; 总线空闲时发送“开始条件”
			1	0	0	1	切换至没有匹配的从机模式; 响应匹配自己的地址和通用地址; 总线空闲时发送“START”
C8H	发送完最后的数据, 接收到 ACK	无动作	0	0	0	0	切换至没有匹配的从机模式; 不响应匹配自己地址和通用地址
			0	0	0	1	切换至没有匹配的从机模式; 响应匹配自己的地址和通用地址
			1	0	0	0	切换至没有匹配从机模式; 不响应匹配自己地址和通用地址; 总线空闲时发送 START
			1	0	0	1	切换至没有匹配的从机模式; 响应匹配自己的地址和通用地址; 总线空闲时发送“START”

19.3.4. 从机接收

四：从机接收							
状态码	I2C 接口状态	应用软件响应				I2C 执行的下一个动作	
		读/写数据寄存器 I2CDAT 操作	I2CCON 控制位操作				
			STA	STO	SI		AA
60H	已收到自己的 ADR+W; 已回应 ACK	无动作	×	0	0	0	接收数据; 发送 NACK 回应
			×	0	0	1	接收数据; 发送 ACK 回应
68H	作为主机发送 ADR+R/W 时失去仲裁, 收到主机 ADR+W; 已回应 ACK	无动作	×	0	0	0	接收数据; 发送 NACK 回应
			×	0	0	1	接收数据; 发送 ACK 回应
70H	收到主机发送通用地址(0×00); 已回应 ACK	无动作	×	0	0	0	接收数据; 发送 NACK 回应
			×	0	0	1	接收数据; 发送 ACK 回应
78H	作为主机发送 ADR+R/W 时失去仲裁, 收到主机发送通用地址; 已回应 ACK	无动作	×	0	0	0	接收数据; 发送 NACK 回应
			×	0	0	1	接收数据; 发送 ACK 回应
80H	之前已匹配到自己的	读取数据	×	0	0	0	准备接收数据, 不发送 ACK 回应

	从地址；已接收到数据； 已回应 ACK		×	0	0	1	准备接收数据，发送 ACK 回应
88H	之前已匹配到自己的从地址；已接收到数据； 已回应 NACK	读取数据	0	0	0	0	切换至没有匹配的从机模式；不响应匹配自己地址和通用地址
			0	0	0	1	切换至没有匹配的从机模式；响应匹配自己地址和通用地址
			1	0	0	0	切换到没有匹配的从模式；不响应匹配自己地址和通用地址；当总线空闲时发送 "START"
			1	0	0	1	切换到没有匹配的从模式；响应匹配自己的地址和通用地址；当总线空闲时发送 "START"
90H	之前已匹配到通用地址(0×00)；已接收到数据； 已回应 ACK	读取数据	×	0	0	0	准备接收数据，不发送 ACK 回应
			×	0	0	1	准备接收数据，发送 ACK 回应
98H	之前已匹配到通用地址(0×00)；已接收到数据； 已回应 NACK	读取数据	0	0	0	0	切换至没有匹配从机模式；不响应匹配自己地址和通用地址
			0	0	0	1	切换至没有匹配从机模式；响应匹配自己地址和通用地址
			1	0	0	0	切换到没有匹配的从模式；不响应匹配自己地址和通用地址；当总线空闲时发送 "START"
			1	0	0	1	切换到没有匹配的从模式；响应匹配自己的地址和通用地址；当总线空闲时发送 "START"
A0H	作为从机时收到 STOP 或重复 START	无动作	0	0	0	0	切换至没有匹配从机模式；不响应匹配自己地址和通用地址
			0	0	0	1	切换至没有匹配从机模式；响应匹配自己地址和通用地址
			1	0	0	0	切换到没有匹配的从模式；不响应匹配自己地址和通用地址；当总线空闲时发送 "START"
			1	0	0	1	切换到没有匹配的从模式；响应匹配自己的地址和通用地址；当总线空闲时发送 "START"

19.3.5. I2C 其他状态

五：其他状态							
状态码	I2C 接口状态	应用软件响应					I2C 执行的下一个动作
		读/写数据寄存器 I2CDAT 操作	I2CCON 控制位操作				
			STA	STO	SI	AA	
38H	仲裁丢失	无动作	0	0	0	×	释放 I2C 总线；接收 START
			1	0	0	×	当总线空闲时，进入主模式

F8H	无有效的状态信息; si=0	无动作	无动作				等待或处理当前传输
00H	在主机模式或已匹配的从机模式下, 有非法的 START 或 STOP 信号被发送; 导致 IIC 内部逻辑混乱	无动作	0	1	0	×	只有内部硬件受影响; 释放总线; 切换到没有匹配的从机模式; 清除 STO



20. 看门狗定时器

ATM8F3140A 内部集成 WDT 看门狗定时器，主要作用是对系统软件出错时能够尽快保护整个系统，产生复位信号以保证系统迅速恢复到初始状态。计数时钟选择内部 ILRC 作为定时时钟，WDT 可根据配置位选择不同的定时时长。看门狗定时器一旦使能以后只有外部复位，低压复位或者上电复位才能关闭。

20.1. 基本特征

- 看门狗计数器采用 18 位递增计数器
- 支持看门狗定时器工作模式
- 支持内部定时器工作模式
- 调试模式下终止 WDT 执行

20.2. 内部框图

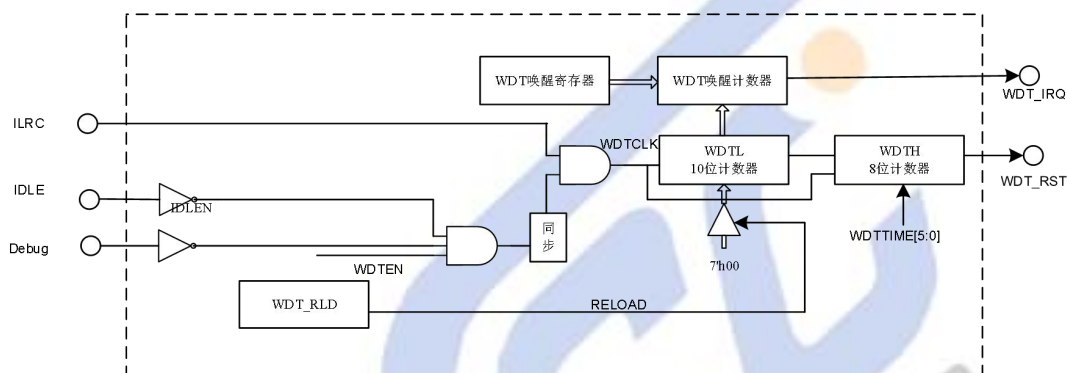


图 20-1 WDT 内部框图

20.3. 寄存器描述

表 20-1 看门狗定时器寄存器列表

名称	说明	可位寻址	读写权限	复位值	BANK 地址	字节地址
WDTRL D	看门狗重载命令寄存器	×	W	0000 0000B	ALL	86H
WDTCON	看门狗控制寄存器	×	R/W	1000 0011B	BANK0	CEH
WDTWK	看门狗唤醒寄存器	×	R/W	1111 1111B	BANK0	CFH

看门狗定时器详细说明如下:

20.3.1. 看门狗重载命令寄存器 (WDTRLD)

名称/地址:	WDTRLD, ALL BANK, 86H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	WDTRLD							
访问权限:	W	W	W	W	W	W	W	W
复 位 值:								
提 示:	一: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

往 WDTRLD 中连续写入 0x5A 和 0x3C 后清空 WDT 计数器。

20.3.2. 看门狗控制寄存器 (WDTCON)

名称/地址:	WDTCN, BANK0, CEH							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	WDTTIME					WDTEN		-

访问权限:	R/O	R/O	R-0	R-0	R-0	R/O	R/O	-
复位值:	0	0	0	0	0	0	0	-
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

➤ Bit[7:2]: WDTIME, WDT 复位时间选择

➤ Bit1: WDT 使能位

0: WDT 未使能

1: WDT 使能

➤ Bit0: 保留

注: WDTCON 由 infor 区配置

20.3.3. 看门狗重载寄存器 (WDTWK)

名称/地址:	WDTWK, BANK0, CFH							
位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	WDTWK							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	0	0	0	0	0	0	0	0
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

➤ Bit[7:0]: WDTWK, 看门狗计数器计数唤醒值

注意: WATCHDOG 相关寄存器和计数器复位源是除了 WDT 复位以外的所有复位源。

20.4. 功能描述

看门狗定时器采用独立的内部低频时钟源 (ILRC) 作为定时时钟。计数部分由一个 18 位递增计数器组成。当计数器计数到预设值时产生看门狗复位信号复位整个芯片。预设值可根据 WDTCON 中的 TIMESEL 位设置。溢出时间为

$$T_{wdtclk} * (WDTIME + 1) * 4096$$

看门狗定时器默认状态不开启, 只有配置看门狗控制寄存器 WDTCON 中的 WD TEN 位为 1 方可启动。看门狗定时器一旦启动将无法停止, 只有发生外部复位, 上电复位或者低压复位时方可停止。

看门狗定时器的重载操作需要 WDTRLD 寄存器连续写入 0x5A 和 0x3C 方可完成重载, 看门狗需要在 option 中打开。

在不需要 WDT 功能时, 可以将其用作定时器使用, 使用时需要首先开启 WDT 唤醒中断使能, 配置 WDTWK 寄存器, 当 WDT 计数器的低 10 为计数器到与 {WDTWK[7:0], 0x3} 匹配时将会发生中断。高 8 位由 WDTWK 设定, 低 2 位固定都为 1。溢出时间为:

$$T_{wdtclk} * (WDTWK * 4 + 3)$$

由于中断以后 WDT 还会继续计数, 为避免意外发生 WDT 复位, 需要在唤醒中断子程序中对 WDT 进行重载操作。在 STOP 模式下, 如果 WD 采用 ILRC 作为时钟源, 可作为唤醒控制, 会硬件喂狗一次。看门狗定时器在 IDLE 模式时将不运行。

在配置时, WDTCON 寄存器中除 WD TEN 位外的寄存器必须在启动 WDT 之前配置, 启动 WDT 后将无法更改。

注意: 在使能 WDT 后, 如果发生软复位或者堆栈溢出复位, WDTCON 中的 WDTIME 将会复位, 但是看门狗本身不会关闭, 此时复位时间将复位为初始值, 并且不能修改。

21. 唤醒定时器

ATM8F3140A 内部集成一个唤醒狗定时器，该寄存器采用低频振荡器作为时钟，采用一个 20 位的递增计数器作为定时器，当计数到设定值时可产生一个唤醒信号。

21.1. 基本特征

- 采用 ILRC 作为时钟源
- 采用 20 位递增计数器
- 可配置在 STOP 模式下运行并唤醒 STOP

21.2. 内部框图

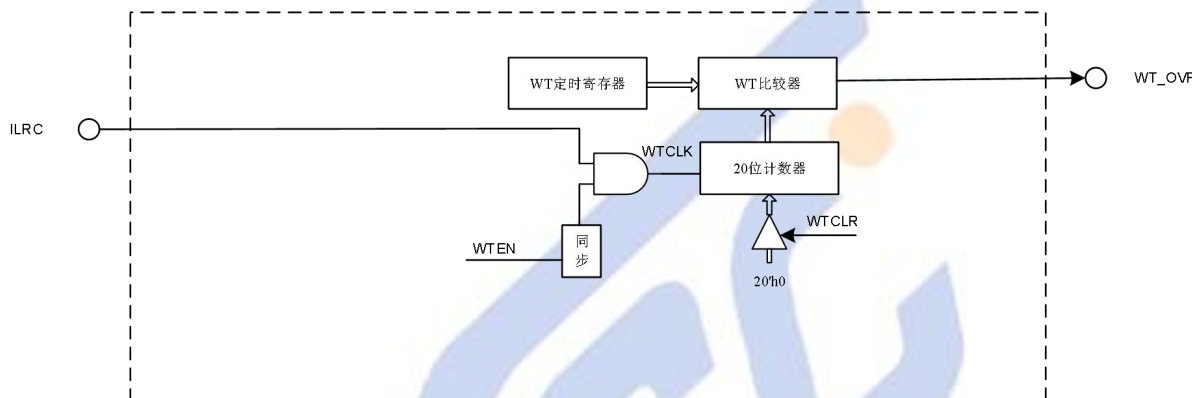


图 21- 1 WT 内部框图

21.3. 寄存器描述

表 21- 1 唤醒定时器寄存器列表

名称	说明	可位寻址	读写权限	复位值	BANK 地址	字节地址
WTCON	唤醒控制寄存器	×	R/W	0000 0000B	BANK0	CDH

唤醒定时器详细说明如下：

21.3.1. 唤醒控制寄存器（WTCON）

名称/地址:	WTCON, BANK0, CDH							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	WTTIME						WTCLR	WTEN
访问权限:	R/W	R/W	R-0	R-0	R-0	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

- Bit[7:2]: WTTIME, WT 溢出时间选择
- Bit1: WT 定时器清 0, 写 1 清零
 - 0: 无效
 - 1: 清零
- Bit0: WTEN
 - 0: WT 禁止
 - 1: WT 使能

21.4. 功能描述

唤醒定时器可以产生周期性的中断信号。该定时器采用一个 20 位的计数器，时钟源采用内部 32K 的 ILRC。定时的时间可以配置为 $Twdtclk * (WTIME+1) * 16384$ 。

定时器计数到预设的匹配值时会归零重新计数，也可以通过写 WTCN 中的 WTCLR 位清零。



22. PWM 控制器

ATM8F3140A 内部集成一个 12 位 PWM 波形发生器，最大支持 2 组互补输出，支持死区时间控制。

22.1. 基本特征

该 PWM 主要有以下特性：

- 边沿计数模式
- 死区时间可配置
- 各路 PWM 输出极性可以独立设置
- PWM0_H/PWM0_L、PWM1_H/PWM1_L 可作为 2 路互补输出

22.2. 内部框图

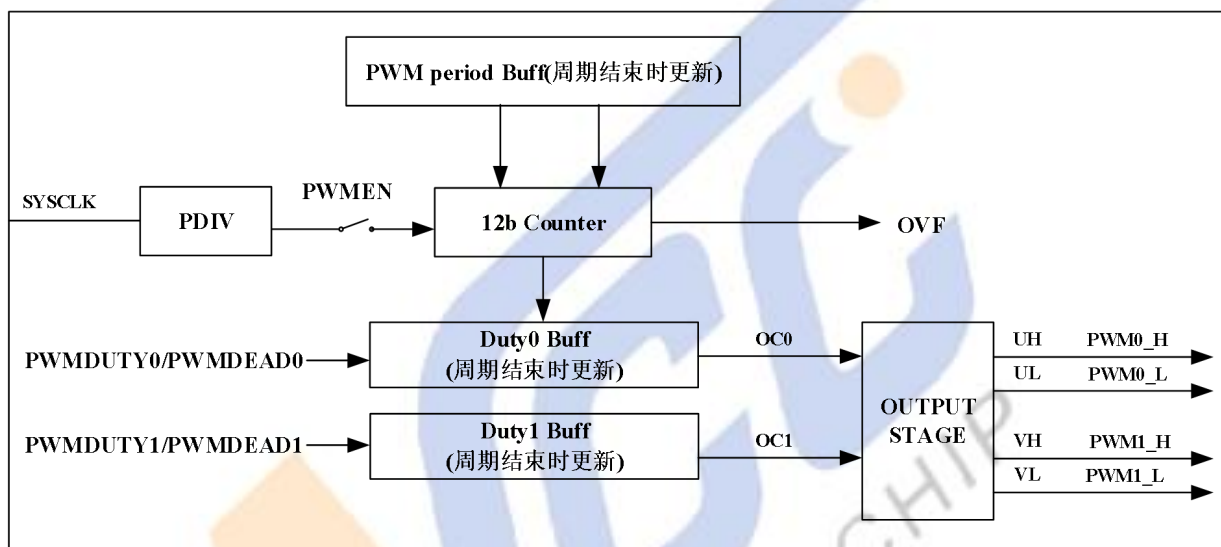


图 22- 1 内部框图

22.3. 寄存器说明

PWM 控制寄存器的主要寄存器列表如下：

表 22- 1 PWM 控制寄存器列表

名称	说明	可位寻址	读写权限	复位值	BANK 地址	字节地址
PWMCON	PWM 控制寄存器	×	R/W	0000_0000B	BANK1	D1H
PWMCON1	PWM 控制寄存器 1	×	R/W	0000_0000B	BANK1	D2H
PWMSTA	PWM 状态寄存器	×	R/W	0000_0000B	BANK1	D3H
PWMPERH	PWM 周期寄存器高字节	×	R/W	0000_1111B	BANK1	D4H
PWMPERL	PWM 周期寄存器低字节	×	R/W	1111_1111B	BANK1	D5H
PWM0H	PWM0 占空比寄存器高字节	×	R/W	0000_1111B	BANK1	D6H
PWM0L	PWM0 占空比寄存器低字节	×	R/W	1111_1111B	BANK1	D7H
PWM1H	PWM1 占空比寄存器高字节	×	R/W	0000_1111B	BANK1	D9H
PWM1L	PWM1 占空比寄存器低字节	×	R/W	1111_1111B	BANK1	DAH
PWMDR	PWM 死区控制寄存器	×	R/W	0000_0000B	BANK1	DBH
PWMDF	PWM 死区控制寄存器	×	R/W	0000_0000B	BANK1	DCH

R/W: 可读可写, RO: 只读, WO: 只写

复位值中: 0 代表复位为低电平, 1 代表复位为高电平, -代表不关注, x 代表不确定

详细描述如下:

22.3.1. PWM 控制寄存器

寄存器	PWMCON, 0xD1, BANK1							
	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
位定义	PWM1IE	PWM0IE	PWMIE	SUPD	PWM_CK[2]	PWM_CK[1]	PWM_CK[0]	PWMEN
读写控制	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

➤ PWM1IE: PWM1 匹配中断允许位

0: 禁止 PWM1 中断

1: 允许 PWM1 中断

➤ PWM0IE: PWM0 匹配中断允许位

0: 禁止 PWM0 中断

1: 允许 PWM0 中断

➤ PWM0IE: PWM 溢出中断允许位

0: 禁止 PWM 中断

1: 允许 PWM 中断

➤ SUPD: 软件更新配置位, 写 1 更新 PWM 缓冲寄存器, 动作完成后, SUPD 自动清零。

0: 无效

1: 更新 PWM 缓冲寄存器

➤ PWM_CK: 预分频

000: 不分频

001: 2 分频

010: 4 分频

011: 8 分频

100: 16 分频

101: 32 分频

110: 64 分频

111: 128 分频

➤ PWMEN: PWM 使能信号

0: PWM 禁止

1: PWM 使能

22.3.2. PWM 控制寄存器 1

寄存器	PWMCON1 0xD2, BANK1							
	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
位定义	PWM1LP	PWM1HP	PWM0LP	PWM0HP	-	-	DEAD1_EN	DEAD0_EN
读写控制	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

➤ PWM1LP: PWM1L 输出极性控制位

0: 同相输出

1: 反相输出

➤ PWM1HP: PWM1H 输出极性控制位

0: 同相输出

1: 反相输出

➤ PWM0LP: PWM0H 输出极性控制位

0: 同相输出

1: 反相输出

➤ PWM0HP: PWM0L 输出极性控制位

0: 同相输出

1: 反相输出

➤ DEAD1_EN: 死区使能位

0: 禁止 PWM1 死区使能

1: 允许 PWM1 死区使能

➤ DEAD0_EN: 死区使能位

0: 禁止 PWM0 死区使能

1: 允许 PWM0 死区使能

22.3.3. PWM 状态寄存器

寄存器	PWMSTA, 0xD3, BANK1							
	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
位定义	-	-	-	-	-	MATCH1IF	MATCH0IF	PWMOVF
读写控制	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

➤ MATCH1IF: PWM1 匹配标志位, 写 1 清零

0: 未发生占空比匹配

1: 发生占空比匹配

➤ MATCH0IF: PWM0 匹配标志位, 写 1 清零

0: 未发生占空比匹配

1: 发生占空比匹配

➤ PWMOVF: PWM 周期溢出标志, 写 1 清零

0: 未发生周期溢出

1: 发生周期溢出

22.3.4. PWM 周期控制寄存器高字节

寄存器	PWMPERH, 0xD4, BANK1							
	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
位定义	-	-	-	-	PWMPER[11:8]			
读写控制	R/W	R/W	R/W	R/W	R/W	WO	R/W	R/W
复位值	0	0	0	0	1	1	1	1

➤ PWMPER[11:8], PWM 周期数据寄存器高字节

22.3.5. PWM 周期控制寄存器低字节

寄存器	PWMPERL, 0xD5, BANK1							
	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
位定义	PWMPER[7:0]							
读写控制	R/W	R/W	R/W	R/W	R/W	WO	R/W	R/W
复位值	1	1	1	1	1	1	1	1

➤ PWMPER[7:0], PWM 周期数据寄存器低字节

22.3.6. PWM0 占空比控制寄存器高字节

寄存器	PWMD0H, 0xD6, BANK1							
	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

位定义	-	-	-	-	PWMDUTY0[11:8]			
读写控制	R/W	R/W	R/W	R/W	R/W	WO	R/W	R/W
复位值	0	0	0	0	1	1	1	1

➤ PWMDUTY0[11:8], PWM0 占空比数据寄存器高字节

22.3.7. PWM0 占空比控制寄存器低字节

寄存器	PWMD0L, 0xD7, BANK1							
	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
位定义	PWMDUTY0[7:0]							
读写控制	R/W	R/W	R/W	R/W	R/W	WO	R/W	R/W
复位值	1	1	1	1	1	1	1	1

➤ PWMDUTY0[7:0], PWM0 占空比数据寄存器低字节

22.3.8. PWM1 占空比控制寄存器高字节

寄存器	PWMD1H, 0xD9, BANK1							
	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
位定义	-	-	-	-	PWMDUTY1[11:8]			
读写控制	R/W	R/W	R/W	R/W	R/W	WO	R/W	R/W
复位值	0	0	0	0	1	1	1	1

➤ PWMDUTY1[11:8], PWM1 占空比数据寄存器高字节

22.3.9. PWM1 占空比控制寄存器低字节

寄存器	PWMD1L, 0xDA, BANK1							
	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
位定义	PWMDUTY1[7:0]							
读写控制	R/W	R/W	R/W	R/W	R/W	WO	R/W	R/W
复位值	1	1	1	1	1	1	1	1

➤ PWMDUTY1[7:0], PWM1 占空比数据寄存器低字节

22.3.10. PWM 死区控制寄存器 0

寄存器	PWMDR, 0xDB, BANK1							
	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
位定义	-	PWM1DR[2:0]			-	PWM0DR[2:0]		
读写控制	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

➤ PWMxDR, PWM 通道上沿死区控制时间

000: 6 个系统时钟周期 (系统时钟为 12Mhz 时, 死区控制时间为 500ns)

001: 12 个系统时钟周期 (系统时钟为 12Mhz 时, 死区控制时间为 1us)

010: 24 个系统时钟周期 (系统时钟为 12Mhz 时, 死区控制时间为 2us)

011: 48 个系统时钟周期 (系统时钟为 12Mhz 时, 死区控制时间为 4us)

100: 96 个系统时钟周期 (系统时钟为 12Mhz 时, 死区控制时间为 8us)

101: 192 个系统时钟周期 (系统时钟为 12Mhz 时, 死区控制时间为 16us)

110: 384 个系统时钟周期 (系统时钟为 12Mhz 时, 死区控制时间为 32us)

111: 768 个系统时钟周期 (系统时钟为 12Mhz 时, 死区控制时间为 64us)

22.3.11. PWM 死区控制寄存器 1

寄存器	PWMDR, 0xDC, BANK1							
	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0

位定义		PWM1DF[2:0]				PWM0DF[2:0]		
读写控制	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

- PWMxDF, PWM 通道下沿死区控制时间
- 000: 6 个系统时钟周期 (系统时钟为 12Mhz 时, 死区控制时间为 500ns)
 - 001: 12 个系统时钟周期 (系统时钟为 12Mhz 时, 死区控制时间为 1us)
 - 010: 24 个系统时钟周期 (系统时钟为 12Mhz 时, 死区控制时间为 2us)
 - 011: 48 个系统时钟周期 (系统时钟为 12Mhz 时, 死区控制时间为 4us)
 - 100: 96 个系统时钟周期 (系统时钟为 12Mhz 时, 死区控制时间为 8us)
 - 101: 192 个系统时钟周期 (系统时钟为 12Mhz 时, 死区控制时间为 16us)
 - 110: 384 个系统时钟周期 (系统时钟为 12Mhz 时, 死区控制时间为 32us)
 - 111: 768 个系统时钟周期 (系统时钟为 12Mhz 时, 死区控制时间为 64us)

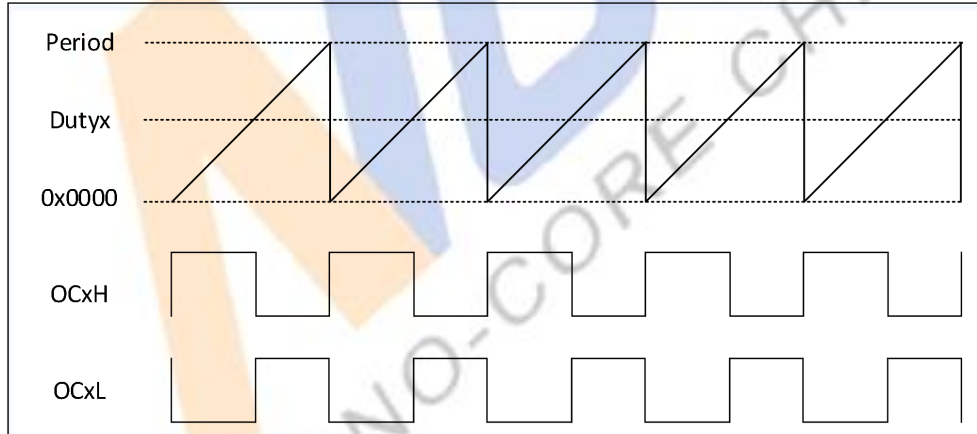
22.4. 功能描述

ATM8F3140A 内部集成一个 12 位的 PWM 波形发生器模块。PWM 模块内部集成 2 个死区控制单元, 可输出 2 组互补的 PWM 波形。

22.4.1. 边沿对齐计数器工作模式

PWM 计数器工作在连续边沿对齐模式。内部 12 位计数器将循环从 0 计数到周期缓冲寄存器, 然后从 0 开始重新计数。PWM 周期寄存器 (PWMPERH/PWMPERL) 在预设的时刻更新到周期缓冲寄存器。

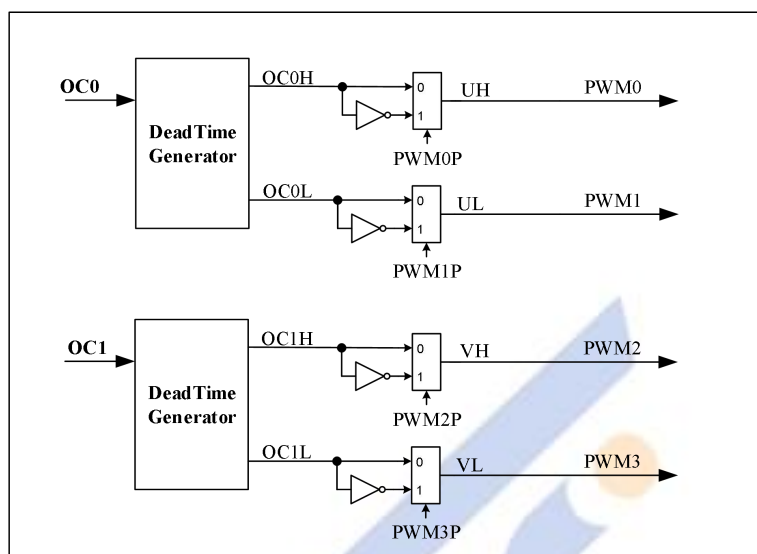
当计数器的值小于等于占空比缓冲寄存器的值时, 相应通道的 OCxH 输出为高电平, 当计数器的值大于占空比缓冲寄存器的值时, 相应通道的 OCxH 输出为低电平; 周期缓冲寄存器的值或者占空比缓冲寄存器的值为 0 时, 相应通道的 OCxH 输出为恒低电平; 占空比缓冲寄存器的值大于等于周期缓冲寄存器的值时, 相应通道的 OCxH 输出为恒高电平。OCxL 的输出与 OCxH 的输出互补。



22.4.2. PWM 寄存器更新

PWM 周期寄存器 (PWMPERH/L)、占空比寄存器 (PWMDUTYH/L) 都有缓冲寄存器, 用户不能直接操作这些缓冲寄存器。在写 PWM 周期寄存器、占空比寄存器时, 写入的值不会立即更新到缓冲寄存器。等到周期溢出后才会更新。死区寄存器在开启 PWM 模块前配置, 工作过程中不允许改变。

22.4.3. 输出控制



当 PWM 输出寄存器配置为使能时，输出波形可通过 PWM0H/PWM0L/PWM1H/PWM1L 输出，各个输出与外部 GPIO 的对应关系，详见 GPIO 配置及引脚布局图等相应章节。

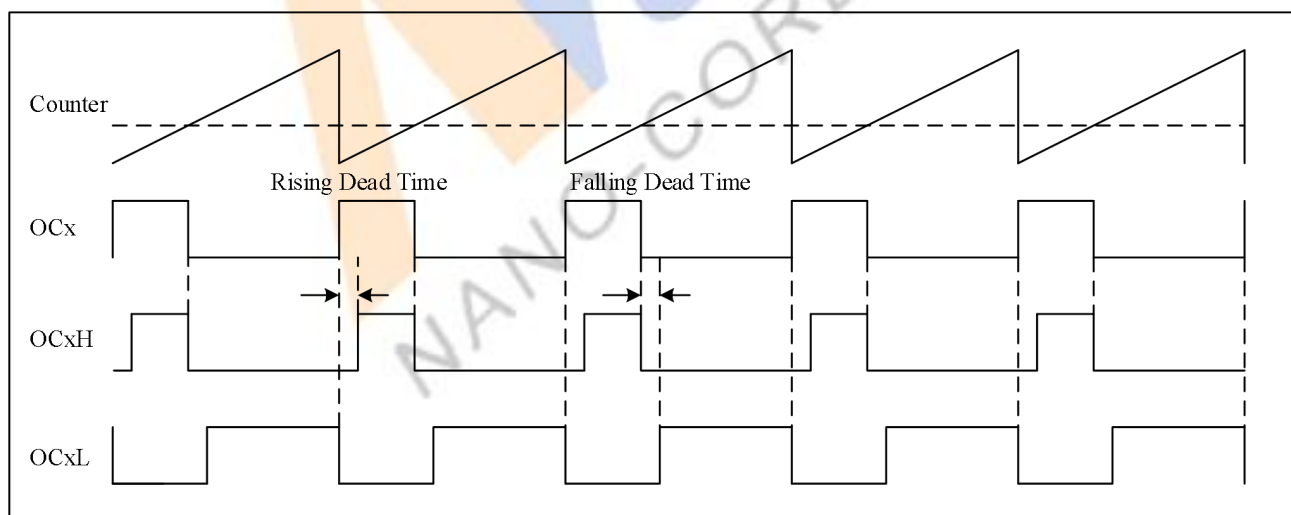
22.4.4. 死区控制

PWM 模块支持死区控制。信号 OCx 作为参考输入，信号 OCxH/OCxL 作为死区控制输出，死区时间由寄存器 PWMDR 和 PWMDF 设置。

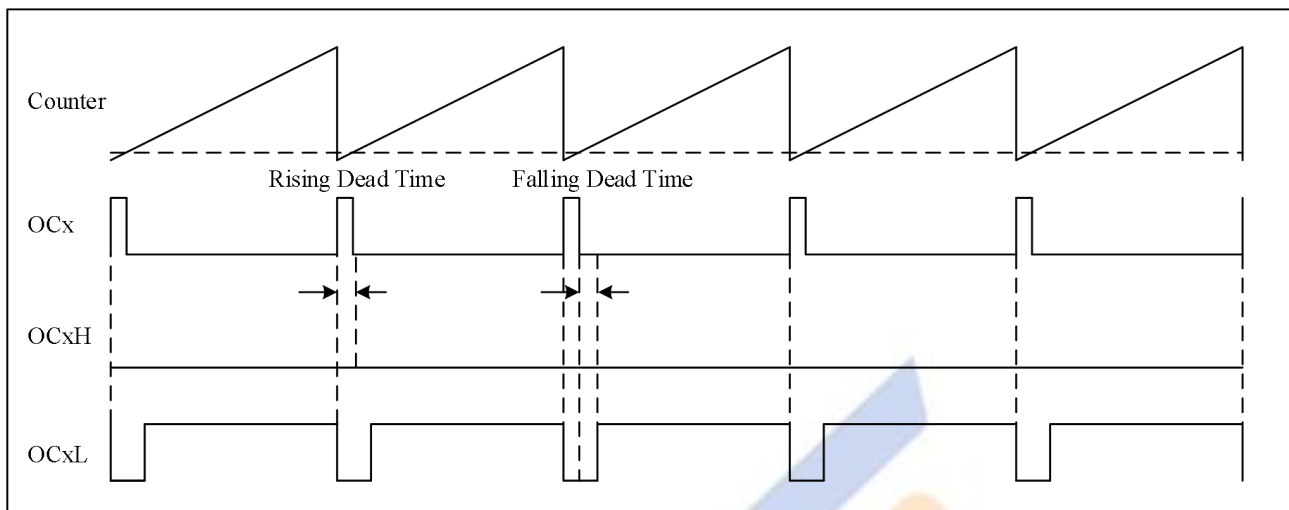
当 PWMDR 设置信号 OCxH 的上升沿比 OCx 的上升沿延时输出，信号 OCxH 的下降沿和 OCx 的下降沿同时输出。OCx 上升沿延时输出的时间长度为 (PWMDR 配置的时间)。

当 PWMDF 设置信号 OCxL 的上升沿比 OCx 的下降沿延时输出，信号 OCxL 的下降沿和 OCx 的上升沿同时输出。OCx 下降沿延时输出的时间长度为 (PWMDF 配置的时间)。

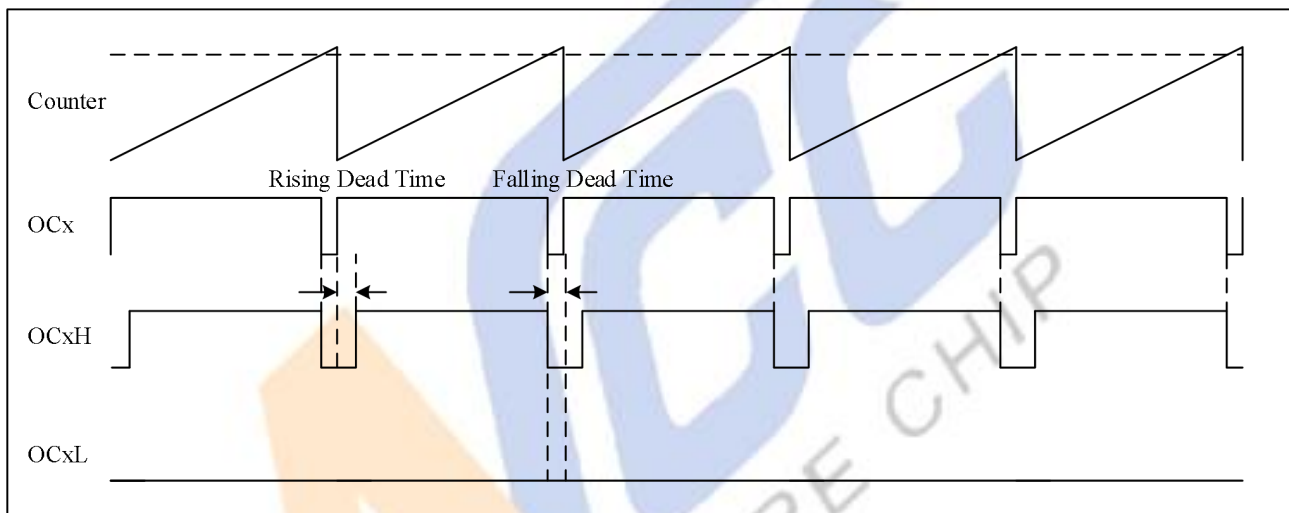
如果 OCx 的脉冲宽度小于 PWMDR 或者 PWMDF，相应的脉冲信号将不生成。



死区控制逻辑



当 OCxH 脉冲宽度小于 PWMDR 设定的死区时间



当 OCxL 宽度小于 PWMDF 设定的死区时间

22.4.5. 溢出/匹配中断

当计数器的值和周期缓冲寄存器的值相等时, PWMSTA 的 PWMOVF 周期溢出标志将会被置 1。如果此时全局中断使能, CPU 将响应匹配中断。发生溢出从 0000H 开始重新计数。

当计数器的值和占空比缓冲寄存器的值相等时, PWMSTA 的 MATCHxIF 匹配中断标志将会被置 1。如果此时全局中断使能, CPU 将响应匹配中断。

23. TOUCH

23.1. 基本特征

ATM8F314X 内部集成一个 TOUCH 控制模块。该 TOUCH 控制模块主要有以下特性：

- 正常模式下
 - ✧ 工作时钟为系统时钟
 - ✧ 充放电信号频率可配（若系统时钟为 12MHz，充放电频率范围：100KHz ~ 6MHz）
 - ✧ 支持单个按键连续检测，检测时间间隔可设，充放电次数可设
 - ✧ 支持多个按键自动扫描，最多支持 12 个扫描通道，每个按键扫描时间间隔可设
 - ✧ 自动使能 ADC，并在按键扫描结束后硬件触发 ADC 开始转换
- 低功耗模式下
 - ✧ 低功耗模式下时钟为内部低频时钟 32KHz，充放电信号频率为内部低频时钟的二分频
 - ✧ 支持单个按键连续检测，检测时间间隔可设，充放电次数可设
 - ✧ 支持 ADC 转换结果自动匹配比较功能
 - ✧ 自动使能 ADC，并在按键扫描结束后硬件触发 ADC 开始转换

23.2. 内部框图

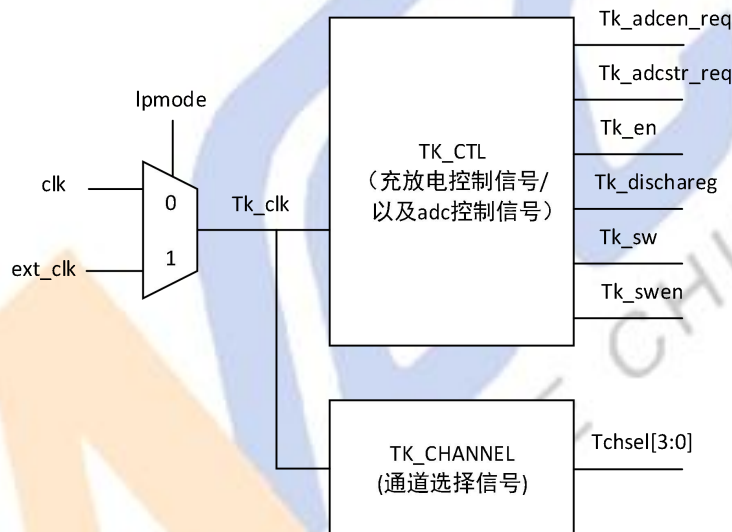


图 19-1 内部框图

23.3. 寄存器说明

TOUCH 控制寄存器的主要寄存器列表如下：

表 19-1 TOUCH 控制寄存器列表

名称	说明	可位寻址	读写权限	复位值	BANK 地址	字节地址
TKCON	TOUCH 控制寄存器	×	R/W	0000_0100B	BANK1	B1H
TK_NUM	TOUCH 充电次数配置寄存器	×	R/W	0000_0000B	BANK1	B2H
TkCH0	TOUCH 通道选择控制寄存器 0	×	R/W	0000_0000B	BANK1	B3H
TkCH1	TOUCH 通道选择控制寄存器 1	×	R/W	0000_0000B	BANK1	B4H
TLPMODE0	TOUCH 功耗配置寄存器 0	×	R/W	0000_0000B	BANK1	B5H
TLPMODE1	TOUCH 功耗配置寄存器 1	×	R/W	0000_0000B	BANK1	B6H
TLPMODE2	TOUCH 功耗配置寄存器 2	×	R/W	0000_0000B	BANK1	B7H

R/W：可读可写，RO：只读，WO：只写

复位值中：0代表复位为低电平，1代表复位为高电平，-代表不关注，x代表不确定

24. CRC

24.1. 基本特征

ATM8F3140A 内部集成循环冗余编码单元（CRC），支持 CRC16-CCITT 1021 多项式，主要包括以下特性：

- 支持计算数据顺序或倒序输入
- 支持计算结果顺序或倒序输出
- 支持设置初始数据
- 支持计算结果异或输出
- 支持复位 CRC 计算结果

24.2. 内部框图

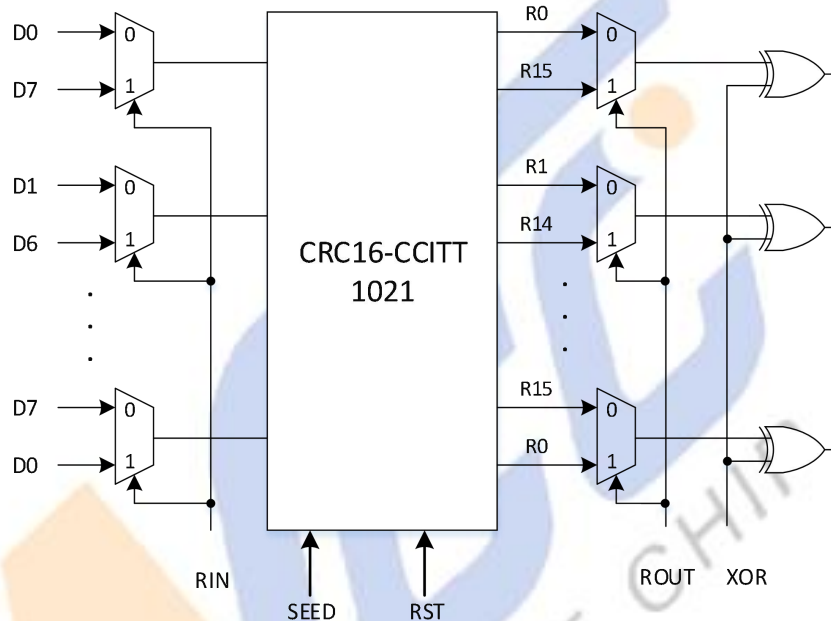


图 24- 1 CRC 结构图

24.3. 寄存器描述

表 24- 1 CRC 控制寄存器列表

名称	说明	可位寻址	读写权限	复位值	BANK 地址	字节地址
CRCCON	CRC 控制寄存器	×	R/W	0000 0000B	BANK0	0x9C
CRCDAT	CRC 数据寄存器	×	R/W	0000 0000B	BANK0	0x9D
CRCSD0	CRC 结果寄存器低 8 位	×	R/W	0000 0000B	BANK0	0x9E
CRCSD1	CRC 结果寄存器高 8 位	×	R/W	0000 0000B	BANK0	0x9F

中断控制寄存器详细说明如下：

24.3.1. CRC 控制寄存器（CRCCON）

名称/地址:	CRCCON, BANK0, 9CH							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	REV	REV	REV	REV	XOR	ROUT	RIN	RST
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

- Bit[7:4]:保留
- Bit3: XOR, 输出异或控制

- 0: 禁止
- 1: 使能
- Bit2: ROUT, 输出计算结果控制
 - 0: 顺序输出
 - 1: 倒序输出
- Bit1: RIN, 输入控制
 - 0: 顺序输入
 - 1: 倒序输入
- Bit0: RST, 复位信号, 写 1 清 0
 - 0: 无效
 - 1: 清零

24.3.2. CRC 数据寄存器 1 (CRCDAT)

名称/地址:	CRCDAT, BANK0, 9DH							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	CRCDAT							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

- Bit[7:0]: CRC 数据寄存器, 写该寄存器时自动启动 CRC 操作。

24.3.3. CRC 结果寄存器 0 (CRCSD0)

名称/地址:	CRCSD0, BANK0, 9EH							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	CRCSD0							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

- Bit[7:0]: 8 位寄存器, 写该寄存器时, 配置 CRC SEED 的低 8 位, 读该寄存器时, 读取 CRC 结果低八位。

24.3.4. CRC 结果寄存器 1 (CRCSD1)

名称/地址:	CRCSD1, BANK0, 9FH							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	CRCSD1							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

- Bit[7:0]: 8 位寄存器, 写该寄存器时, 配置 CRC SEED 的高 8 位, 读该寄存器时, 读取 CRC 结果高八位。

24.4. 功能描述

ATM8F3140A 内嵌循环冗余编码单元, 采用 CRC16-CCITT 1021 多项式, 控制算法如下图所示。启动 CRC 运算时, 首选需要配置 CRC SD0/SD1 寄存器, 设置 CRC 运算的初始 SEED, 复位默认值为全 0。根据需要可以配置 CRCON 中 RIN 位使得 CRC 数据以顺序或者倒序输入 CRC 运算单元, 在写 CRCDAT 寄存器时开始 CRC 运算。CRC 计算后的结果可以通过读取 CRC SD0 或者 SD1 寄存器获得。根据 CRCON 中的 ROUT 和 XOR 位可以配置 CRC 输出结果是以顺序还是倒序输出以及输出是否经过异或操作。

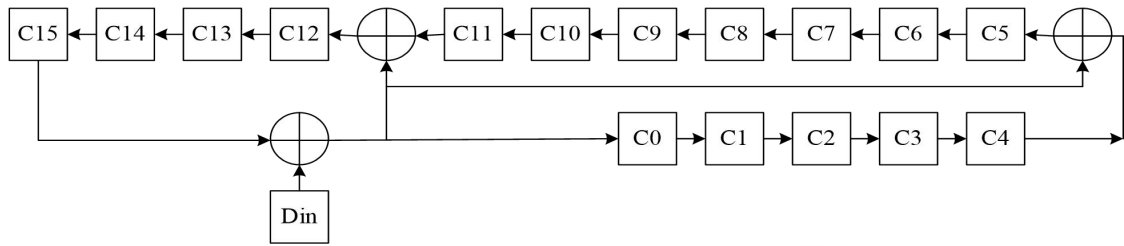


图 24- 2 CRC16-CCITT

25. 蜂鸣器

ATM8F3140A 内部集成一个 BUZZER 信号产生器。产生的频率范围从 500Hz~16KHz。

25.1. 基本特征

- 采用 ILRC 作为时钟源
- 采用 5 位递增计数器

25.2. 内部框图

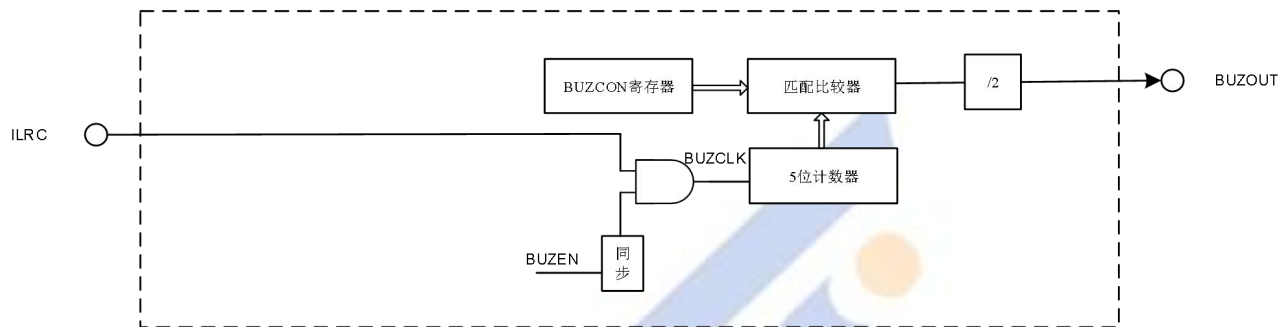


图 25- 1 BUZZER 内部框图

25.3. 寄存器描述

表 25- 1 BUZ 寄存器列表

名称	说明	可位寻址	读写权限	复位值	BANK 地址	字节地址
BUZCON	BUZ 控制寄存器	×	R/W	0000 0000B	BANK0	DFH

BUZ 控制寄存器详细说明如下：

25.3.1. BUZ 控制寄存器 (BUZCON)

名称/地址:	BUZCON, BANK0, DFH							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	BUZSEL							BUZEN
访问权限:	R/W	R/W	R-0	R-0	R-0	R	R	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

- Bit[7:3]: BUZSEL, BUZZER 输出频率选择, ILRC 位 32KHz

00000: 16KHz
 00001: 8KHz
 00010: 16/3KHz
 00011: 4KHz

 11111: 500Hz

- Bit0: BUZEN

0: BUZ 禁止
 1: BUZ 使能

26. LCD

26.1. LCD 功能

建议的操作流程

- 1) 通过 DISPON 寄存器配置工作模式 (DSIPSEL=0, VOL[3:0])。
- 2) 通过 DISPON1 寄存器配置 LCD 的偏置电阻和驱动模式 (CLKSEL, RLCD, MOD[1:0])，若选择快速充电模式则需配置 FCCTL 充电时间控制位。若选系统时钟作为工作时钟源则需要配置 DISPCLK 寄存器。
- 3) 对 RAM 写入所需的 seg 数据。
- 4) 配置所需的 COM 和 SEG 功能使能。
- 5) 通过 DISPON 寄存器 LCDON 位开启 LCD 使能。

26.2. LED 功能

建议的操作流程

- 1) 通过 DISPON 寄存器配置工作模式 (DSIPSEL=1,,DUTY)。
- 2) 通过 DISPON1 寄存器配置工作时钟源 (CLKSEL)，若选系统时钟作为工作时钟源则需要配置 DISPCLK 寄存器。
- 3) 对 RAM 写入所需的 seg 数据。
- 4) 配置所需的 COM 和 SEG 功能使能。
- 5) 通过 DISPON 寄存器 LCDON 位开启 LED 使能。

26.3. 寄存器描述

表 26- 1 寄存器描述

名称	说明	可位寻址	读写权限	复位值	BANK 地址	字节地址
DISPCON	LCD/LED 控制寄存器	×	R/W	0000_0000B	BANK0	AAH
DISPCON1	LCD/LED 控制寄存器 1	×	R/W	0000_0000B	BANK0	A9H
SEGEN1	SEG 模式选择寄存器 1	×	R/W	0000_0000B	BANK0	ABH
SEGEN2	SEG 模式选择寄存器 2	×	R/W	0000_0000B	BANK0	ACH
SEGEN3	SEG 模式选择寄存器 3	×	R/W	0000_0000B	BANK0	ADH
SEGEN4	SEG 模式选择寄存器 4	×	R/W	0000_0000B	BANK0	AEH
COMEN	COM 模式选择寄存器	×	R/W	0000_0000B	BANK0	AFH
DISPCLK	时钟分频寄存器	×	R/W	0000_0000B	BANK0	F5H

LCD/LED 控制寄存器详细说明如下：

26.3.1. LCD/LED 控制寄存器 (DISPCON)

名称/地址:	DISPCON, ALL BANK, (AAH)							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	DISPSEL	LCDON	-	DUTY	VOL3	VOL2	VOL1	VOL0
访问权限:	R/W	R/W	-	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	-	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

- Bit[7], DISPSEL, LCD/LED 驱动选择位
 - 0: 选择 LCD 驱动器, LED 驱动器无效
 - 1: 选择 LED 驱动器, LCD 驱动器无效
- Bit[6], LCDON, LCD/LED 使能控制位
 - 0: 禁止 LCD/LED 驱动器
 - 1: 允许 LCD/LED 驱动器
- Bit[5], 保留

➤ Bit[4], DUTY, LED 占空比选择位

0: 1/4 占空比

1: 1/8 占空比

注: 仅 LED 模式下操作该位有效

➤ Bit[3:0], VOL[3: 0] LCD 对比度控制位 (具体对应电压待定)

0000: VLCD = 0.516 VDD

0001: VLCD = 0.533 VDD

0010: VLCD = 0.5514 VDD

0011: VLCD = 0.5711 VDD

0100: VLCD = 0.5922 VDD

0101: VLCD = 0.615 VDD

0110: VLCD = 0.6396 VDD

0111: VLCD = 0.6662 VDD

1000: VLCD = 0.6951 VDD

1001: VLCD = 0.7267 VDD

1010: VLCD = 0.7613 VDD

1011: VLCD = 0.7993 VDD

1100: VLCD = 0.8419 VDD

1101: VLCD = 0.8886 VDD

1110: VLCD = 0.9409 VDD

1111: VLCD = 1.000 VDD

26.3.2. LCD/LED 控制寄存器 1 (DISPCON1)

名称/地址:	DISPCON1, BANK0, (A9H)							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	CLKSEL	BIAS_SEL	FCCTL1	FCCTL0	-	RLCD	MOD1	MOD0
访问权限:	R/W	R/W	R/W	R/W	-	R/W	R/W	R/W
复 位 值:	0	0	0	0	-	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

➤ Bit[7], CLKSEL, LCD/LED 工作时钟源选择位

0: 选择 32K 辅时钟

1: 选择系统时钟

注: 选择系统时钟时, 需配置 DISPCLK 寄存器

➤ Bit[6], BIAS_SEL, LCD 偏压选择位

0: 1/2 偏压

1: 1/3 偏压

➤ Bit[5:4]: FCCTL 充电时间控制位

00: 1/4 LCD com 周期

01: 1/8 LCD com 周期

10: 1/16 LCD com 周期

11: 1/32 LCD com 周期

➤ Bit[2]: RLCD LCD 偏置电阻选择位

0: LCD 偏置电阻总和为 240k

1: LCD 偏置电阻总和为 960k

➤ Bit[1:0]: MOD[1:0] LCD 驱动模式选择位

00: 传统电阻型模式, 偏置电阻总和为 240k/960k

01: 传统电阻型模式, 偏置电阻总和为 60k

1x: 快速充电模式, 偏置电阻总和自动在 60k 和 240k/960k 之间切换

26.3.3. SEGEN1, SEG 模式选择寄存器 1

名称/地址:	SEGEN1, BANK0, (ABH)							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	SEGEN [8:1]							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

➤ Bit[7:0]: segen[8:1] 端口模式选择位

0: 配置为 I/O

1: 配置为 segment (SEG8-SEG1)

26.3.4. SEGEN2, SEG 模式选择寄存器 2

名称/地址:	SEGEN2, BANK0, (ACH)							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	SEGEN[16:9]							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

➤ Bit[7:0]: segen[16:9] 端口模式选择位

0: 配置为 I/O

1: 配置为 segment (SEG16-SEG9)

26.3.5. SEGEN3, SEG 模式选择寄存器 3

名称/地址:	SEGEN3, BANK0, (ADH)							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	SEGEN[24:17]							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

➤ Bit[7:0]: segen[24:17] 端口模式选择位

0: 配置为 I/O

1: 配置为 segment (SEG24-SEG17)

26.3.6. SEGEN4, SEG 模式选择寄存器 4

名称/地址:	SEGEN4, BANK0, AEH)							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	SEGEN[32:25]							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

➤ Bit[7:0]: segen[32:25] 端口模式选择位

0: 配置为 IO

1: 配置为 segment (SEG32-SEG25)

当 LED 选择 1/8 占空比时, 高 4 位无效。

26.3.7. COMEN, COM 模式选择寄存器

名称/地址:	COMEN, BANK0, (AFH)							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	COMEN[8:1]							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

➤ Bit[7:0]: COMEN[8:1] COM 口使能选择位

0: 配置为 IO

1: 配置为 COM 口

LCD 驱动模式下, 高四位无效。LED 驱动模式下, 选择 1/8 占空比时, 高 4 位才有效。

26.3.8. DISPCLK, 时钟分频寄存器

名称/地址:	DISPCLK, BANK0, (F5H)							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	DIV[7:0]							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

➤ Bit[7:0]: DIV[7:0]时钟分频

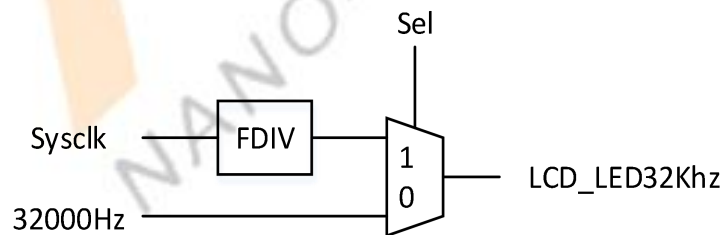
LCD/LED 时钟 = 系统时钟 / (DIV[7:0]*2+1);

注: 仅在 CLKSEL 选择 1 时该寄存器作用有效。

26.4. 功能描述

该设计兼有LCD驱动和LED驱动, 不可同时有效, 若LCDCON的DISPSEL = 1, LCD驱动无效, 若DISPSEL = 0, LED驱动无效。

LCD/LED时钟源可选低频32KHz RC或者系统时钟, LCD/LED帧频固定为64Hz。若选择系统时钟作为LCD/LED工作时钟, 需要配置DISPCLK寄存器。若选择低频32KHz RC作为LCD/LED工作时钟, 则设置DISPCLK寄存器无效。



26.4.1. LCD 电阻型驱动器

LCD驱动器仅支持电阻型偏压产生电路。支持1/4占空比和1/3偏置电压。只有当LCDON寄存器中的LCDON位置1并且DISPSEL位清零时, LCD功能才有效。

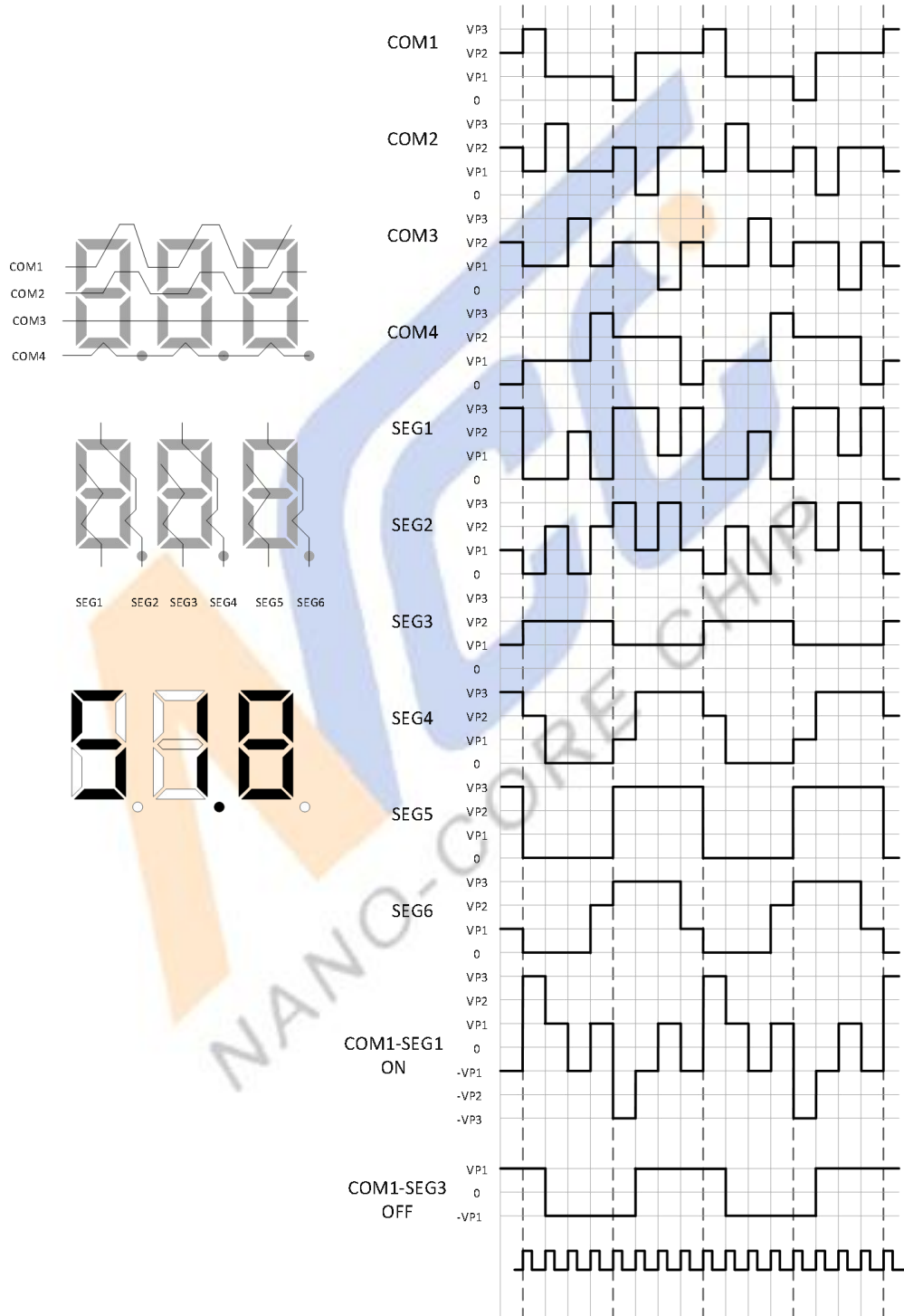
电阻型LCD驱动器包含一个控制器, 一个占空比发生器及4个COM输出引脚和32个Segment输出引脚。由SEGEN1、SEGEN2、SEGEN3、SEGEN4、COMEN寄存器控制, Segment1-32和COM1-COM4脚还可以当作I/O口使用。32字节的LCD显示数据RAM存储区的地址为100H-11FH, 如果需要, 它们可以作为数据存储器使用。

由LCDCON寄存器的MOD[1:0]位控制可选择LCD偏置电阻（RLCD）总和为60k、240k或960k。选择60k偏置电阻可以得到较好的显示效果，但电流相对会大一些，不适合低功耗的应用。将LCDCON的MOD[1:0]位设置为00选择960k偏置电阻，虽然可以达到较低的功耗，但LCD显示效果会变得差一些。

因此，MCU提供了兼顾低功耗和显示效果的显示模式：快速充电模式。设置MOD[1:0]=1X可以选择此种显示方式，在显示数据刷新时刻选择60k偏置电阻，提供较大的驱动电流，在数据保持期间选择240k或960k偏置电阻，提供较小的驱动电流。

由LCDCON1寄存器的FCCTL[1:0]位选择充电时间为LCD com周期的1/4、1/8、1/16或1/32。

26.4.2. LCD 波形



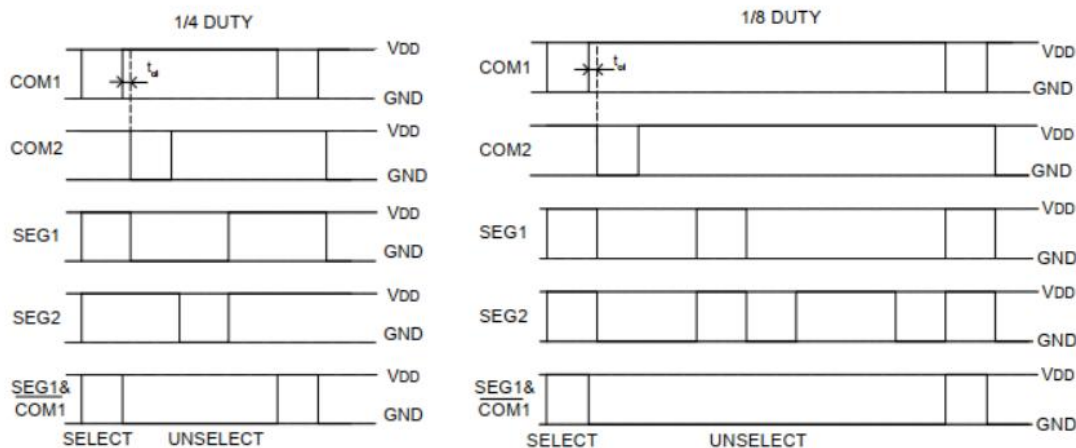
LCD 显示 51.8 (1/4 占空比, 1/3 偏置)

26. 4. 3. LED 驱动器

LED驱动器包含一个控制器，一个占空比发生器及4/8个COM输出引脚和32个Segment输出引脚。支持1/4占空比和1/8占空比电压驱动方式。通过DUTY位对占空比进行选择。控制器由显示数据RAM存储区和一个占空比发生器组成。LED SEG1-SEG32脚还可以当作I/O口使用。当DISPSEL位置1时，LED功能有效，LCD功能无效。SEGEN1、SEGEN2、SEGEN3和SEGEN4寄存器和COMEN寄存器分别用于控制LED_SEG1-32，LED_C1 - LED_C8和I/O端口模式的选择。

在使用LED驱动前，DISPSEL必须被置1。

26. 4. 4. LED 波形



注意： t_{ol} 为LED COM 信号间重叠时间，取值范围：20us - 40us。可有效消除余晖效应。

26. 4. 5. LCD_LED RAM 配置

地址	7	6	5	4	3	2	1	0
	COM8	COM7	COM6	COM5	COM4	COM3	COM2	COM1
FFE0H	SEG1	SEG1	SEG1	SEG1	SEG1	SEG1	SEG1	SEG1
FFE1H	SEG2	SEG2	SEG2	SEG2	SEG2	SEG2	SEG2	SEG2
FFE2H	SEG3	SEG3	SEG3	SEG3	SEG3	SEG3	SEG3	SEG3
FFE3H	SEG4	SEG4	SEG4	SEG4	SEG4	SEG4	SEG4	SEG4
FFE4H	SEG5	SEG5	SEG5	SEG5	SEG5	SEG5	SEG5	SEG5
FFE5H	SEG6	SEG6	SEG6	SEG6	SEG6	SEG6	SEG6	SEG6
FFE6H	SEG7	SEG7	SEG7	SEG7	SEG7	SEG7	SEG7	SEG7
FFE7H	SEG8	SEG8	SEG8	SEG8	SEG8	SEG8	SEG8	SEG8
FFE8H	SEG9	SEG9	SEG9	SEG9	SEG9	SEG9	SEG9	SEG9
FFE9H	SEG10	SEG10	SEG10	SEG10	SEG10	SEG10	SEG10	SEG10
FFEAH	SEG11	SEG11	SEG11	SEG11	SEG11	SEG11	SEG11	SEG11
FFEBH	SEG12	SEG12	SEG12	SEG12	SEG12	SEG12	SEG12	SEG12
FFECH	SEG13	SEG13	SEG13	SEG13	SEG13	SEG13	SEG13	SEG13
FFEDH	SEG14	SEG14	SEG14	SEG14	SEG14	SEG14	SEG14	SEG14
FFEEH	SEG15	SEG15	SEG15	SEG15	SEG15	SEG15	SEG15	SEG15
FFEFH	SEG16	SEG16	SEG16	SEG16	SEG16	SEG16	SEG16	SEG16
FFF0H	SEG17	SEG17	SEG17	SEG17	SEG17	SEG17	SEG17	SEG17
FFF1H	SEG18	SEG18	SEG18	SEG18	SEG18	SEG18	SEG18	SEG18
FFF2H	SEG19	SEG19	SEG19	SEG19	SEG19	SEG19	SEG19	SEG19
FFF3H	SEG20	SEG20	SEG20	SEG20	SEG20	SEG20	SEG20	SEG20

FFF4H	SEG21	SEG21	SEG21	SEG21	SEG21	SEG21	SEG21	SEG21
FFF5H	SEG22	SEG22	SEG22	SEG22	SEG22	SEG22	SEG22	SEG22
FFF6H	SEG23	SEG23	SEG23	SEG23	SEG23	SEG23	SEG23	SEG23
FFF7H	SEG24	SEG24	SEG24	SEG24	SEG24	SEG24	SEG24	SEG24
FFF8H	SEG25	SEG25	SEG25	SEG25	SEG25	SEG25	SEG25	SEG25
FFF9H	SEG26	SEG26	SEG26	SEG26	SEG26	SEG26	SEG26	SEG26
FFFAH	SEG27	SEG27	SEG27	SEG27	SEG27	SEG27	SEG27	SEG27
FFFBH	SEG28	SEG28	SEG28	SEG28	SEG28	SEG28	SEG28	SEG28
FFFCH	SEG29	SEG29	SEG29	SEG29	SEG29	SEG29	SEG29	SEG29
FFFDH	SEG30	SEG30	SEG30	SEG30	SEG30	SEG30	SEG30	SEG30
FFFEH	SEG31	SEG31	SEG31	SEG31	SEG31	SEG31	SEG31	SEG31
FFFFH	SEG32	SEG32	SEG32	SEG32	SEG32	SEG32	SEG32	SEG32

注:LED驱动模式下, 1/4占空比时不支持 COM5 - COM8

27. FLASH 控制器

27.1. 基本特征

ATM8F3140A 内部集成一个 8Kx16 的内部闪存，用户可在任何时刻编程，编程时 CPU 将处于 HOLD 状态。

内部闪存的主要特性如下：

- 16K 字节的主程序区域
 - 1000 次重复烧写
 - 编程最小单位：双字节
 - 数据保持时间：10 年
- 128 字节的内部 EEPROM 区域
 - 10000 次重复烧写
 - 编程最小单位：字节

27.2. 寄存器说明

FLASH 控制寄存器的主要寄存器列表如下：

名称	说明	可位寻址	读写权限	复位值	BANK 地址	字节地址
FSHCON	FLASH 操作控制寄存器	×	R/W	0000_0000B	BANK0	C1H
FSHDATL	FLASH 编程数据低八位	×	R/W	XX00_X000B	BANK0	C2H
FSHDATH	FLASH 编程数据高八位	×	R/W	0000_0000B	BANK0	C3H
FSHADRL	FLASH 编程地址低八位	×	R/W	0000_0000B	BANK0	C4H
FSHADRH	FLASH 编程地址高八位	×	R/W	0100_0000B	BANK0	C5H
FSDIV	FLASH 编程时钟分频	×	R/W	0000_1001B	BANK0	C6H

详细描述如下：

27.2.1. FLASH 编程控制寄存器

寄存器	FSHCON, 0xC1, BANK0							
	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
位定义	FSHCON[7:0]							
						LOCK	ERR	BUSY
读写控制	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

- FSHCON[7:0], 8 位寄存器

读该寄存器时：

BUSY: 1 表示编程正在执行，0 表示编程结束

ERR: 1 表示发生超时故障，0 表示正常

LOCK: 1 表示可以对主程序区进行编程，0 表示只能对 EEPROM 区域进行编程

写该寄存器时：

写 0xA5 启动 FLASH 编程操作

写 0xC3 清除超时故障位

27.2.2. FLASH 编程数据寄存器

寄存器	FSHDATL, 0xC2, BANK0							
	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
位定义	DATA[7:0]							
读写控制	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

- DATA[7:0], 8 位数据寄存器，编程数据低八位

27.2.3. FLASH 编程数据寄存器

寄存器	FSHDATH, 0xC3, BANK0							
	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
位定义	DATA[15:8]							
读写控制	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

➤ DATA[15:8], 8 位数据寄存器, 编程数据高八位

27.2.4. FLASH 编程地址寄存器

寄存器	FSHADRL, 0xC4, BANK0							
	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
位定义	ADDR[7:0]							
读写控制	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

➤ ADDR[7:0], 8 位数据寄存器, 编程地址低八位

27.2.5. FLASH 编程地址寄存器

寄存器	FSHADRH, 0xC5, BANK0							
	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
位定义	ADDR[15:8]							
读写控制	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	1	0	0	0	0	0	0

➤ ADDR[15:8], 8 位数据寄存器, 编程地址高八位

27.2.6. FLASH 编程时钟分频寄存器

寄存器	FSDIV, 0xC6, BANK0							
	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
位定义					CKDIV[3:0]			
读写控制	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	1	0	0	1

➤ CKDIV, FLASH 编程时钟分频, 计算公式 $F_{sys}/(2*(CKDIV+1))$, 再 FLASH 编程时, 需要将时钟分频至 200KHz (+/- 20%)

27.3. 功能描述

ATM8F3140A 内部集成一个 8Kx16 的内部闪存, 用户可在任何时刻编程, 编程时 CPU 将处于 HOLD 状态。对主程序编程时, 编程的单位是双字节, 对 EEPROM 区域编程时, 编程的单位是单字节。支持两种编程方式:

- 工具编程模式 (ISP), 需要有专门的工具进行编程
- 用户编程模式 (IAP), 通过程序内部写编程

在编程时, 无需进行擦除操作, 直接写代码即可。

27.3.1. 内部信息区分配

ATM8F3140A 内部包括 64 个字节的内部信息区, 信息区的分配方案如下:

地址	标识	用途
0x00		必须是 0x96 (客户不可此操作)
0x01		必须是 0xB4 (客户不可此操作)
0x02		必须是 0x87 (客户不可此操作)
0x03		必须是 0xC3 (客户不可此操作)
0x04	RSTEN[7:0]	复位管脚配置, 只有配置为 0x69 时, P20 作为 GPIO 使用

0x05	DBGEN[7:0]	调试禁止位，只有该位写 0xA5 时，禁止调试功能
0x06	MOVCEN[7:0]	MOVC 指令使能位，只有该位为 0xC3 时，使能 MOVC 指令
0x08	BLOCK[7:0]	BLOCK 保护位，当相应位为 1 时，该 BLOCK 不能执行在应用编程操作
0x09	BLOCK[15:8]	BLOCK 使能位，只有写 0xA5 时，才使能 BLOCK 功能
0x0F	WDT[7:0]	看门狗配置使能
0x30-0x3F		客户 ID 号（客户可读可写）

在默认时使能调试功能，当 DBGEN 位不为 0xA5 时，无法进入调试模式。

ATM8F3140A 将内部 8kx16 分成 8 个 BLOCK，可以分别对每个 BLOCK 进行保护。在相应 BLOCK 保护位为高时，该 BLOCK 位只能读，不能进行编程操作。

BLOCK[0] 保护 0x0000~0x07FF 地址空间。

BLOCK[1] 保护 0x0800~0x0FFF 地址空间。

BLOCK[2] 保护 0x1000~0x17FF 地址空间。

BLOCK[3] 保护 0x1800~0x1FFF 地址空间。

BLOCK[4] 保护 0x2000~0x27FF 地址空间。

BLOCK[5] 保护 0x2800~0x2FFF 地址空间。

BLOCK[6] 保护 0x3000~0x37FF 地址空间。

BLOCK[7] 保护 0x3800~0x3FFF 地址空间。

27.3.2. 编程操作

ATM8F3140A 使用在用户编程模式对内部闪存进行编程时，可以对内部 EEPROM 进行编程，也可以对内部主程序区进行编程。对主程序区进行编程时，编程单位为双字节。对 EEPROM 进行编程时，编程单位为字节。

对 EEPROM 进行编程时。

- 1) 配置 FSHADRH 寄存器为 0xF0H。
- 2) 配置 FSHADRL 寄存器，设置编程地址
- 3) 配置 FSHDATL 寄存器，设置编程数据
- 4) 写 FSHCON 寄存器为 0xA5
- 5) 判断 FSHCON 中 ERR 位是否置 1，确保编程未超时。

对主程序编程时

- 1) 配置 FSHADRL，FSHADRH 寄存器，设置 16 位编程地址（高 8 位设置超过 0x40H 时，高 8 位始终是 0x40H）
- 2) 配置 FSHDATL，FSHDATH 寄存器，设置 16 位编程数据
- 3) 写 FSHCON 寄存器为 0xA5
- 4) 判断 FSHCON 中 ERR 位是否置 1，确保编程未超时。

在对主程序编程时，如果只需要编程一个字节，需要将编程单位的另一个地址所存储的数据先读取出来，然后在配合写入到 FSHDATH 或者 FSHDATL 寄存器中去。举例说明：如果需要将 0x55 写入到 0x1001 中，需要先将 0x1000 地址的数据先读取出来，假设 0x1000 地址存储的数据是 0xAA，那么需要 0x55 写入 FSHDATH，0xAA 写入 FSHDATL。然后再启动编程操作指令。当需要将 0x33 写入到 0x2000 时，需要先将 0x2001 地址的数据先读取出来，若 0x2001 数据是 0xBB，那么需要将 0xBB 写入 FSHDATH，0x33 写入 FSHDATL。

编程操作，由信息区中的 BLOCK 位控制当前地址区域空间是否允许执行编程操作，若对应的 BLOCK 保护位为 1，那么写 FSHCON 寄存器将无效。由于 ATM8F3140A 主程序存储空间编程次数只有 1000 次，不建议频繁操作该程序空间。

27.3.3. 读操作

ATM8F3140A 对内部程序存储空间或者 EEPROM 的读取操作可以采用 8051 的 MOVC 指令来读取。

操作过程如下：

```
MOV DPH, #ADDRH
```

```
MOV DPL, #ADDRL
```

MOV A, #offset

MOVC A, @A+DPTR

在读取 EEPROM 时，ADDRH 需要设置为 0xF0H，读取内部区域时，ADDRH 可设置在 0x00~0x3F 之间。



28. ADC

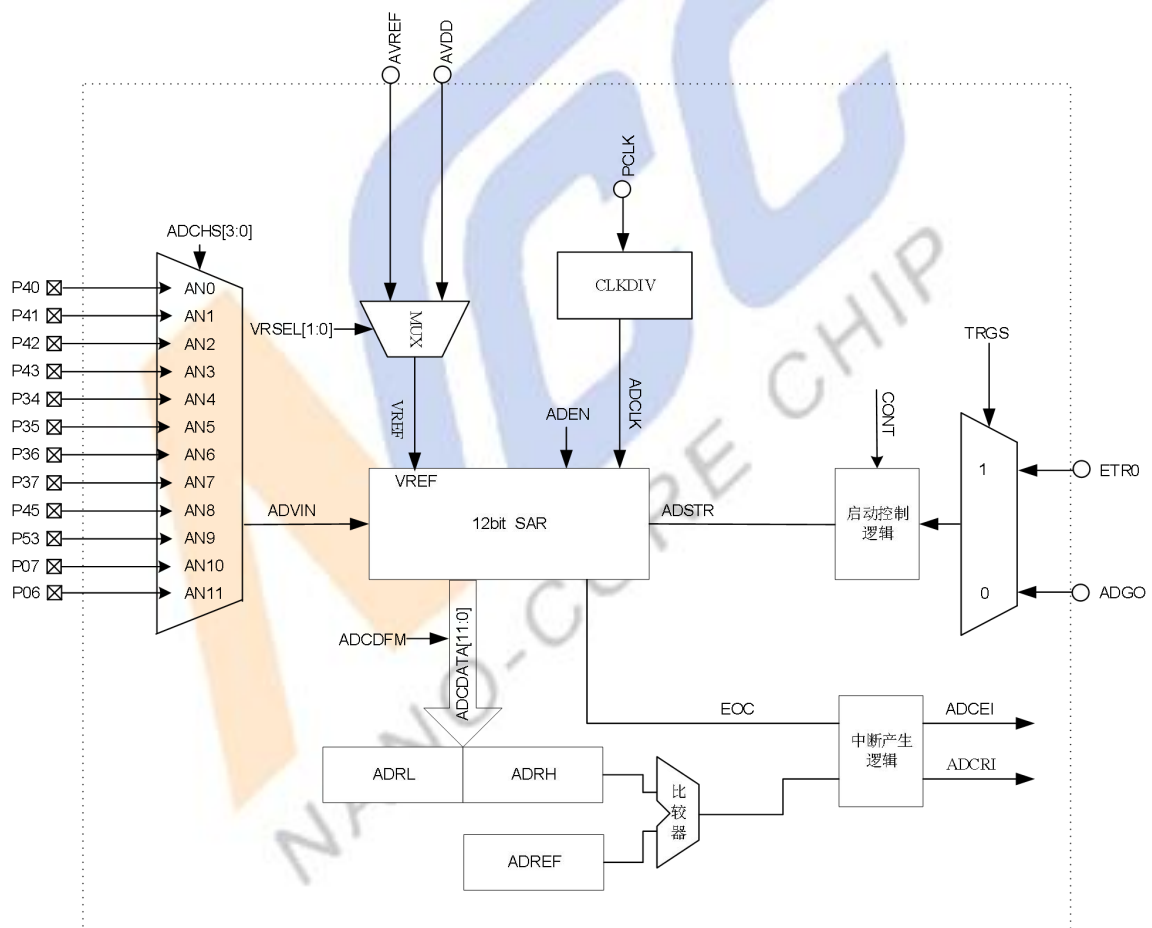
28.1. 规格介绍

AD 转换器用于对外部模拟信号进行采集, 以实现系统状态检测并实施反馈控制。 ATM8F3140A 内部集成一个 12 位 ADC, 可以采用软件触发转换, 可以选择触发单次转换也可以选择连续转换。

28.2. 基本特征

- 转换速度高达 50Kbps
- 支持最多 12 个外部输入模拟通道
- 支持内部电压参考和外部电压参考。
- 可选择软件或硬件方式触发
- 支持单次转换和连续转换
- 支持转换结果自动匹配比较
- 支持采样时钟可配

28.3. 内部框图



28- 1 ADC 内部框图

28.4. 寄存器描述

表 28-1 ADC 寄存器列表

名称	说明	可位寻址	读写权限	复位值	BANK 地址	字节地址
----	----	------	------	-----	---------	------

ADCON	ADC 控制寄存器	×	R/W	0000_0000B	BANK0	F9H
ADCDATAH	ADC 数据高 8 位寄存器	×	R	1000_0000B	BANK0	FAH
ADCDATAH	ADC 数据低 4 位寄存器	×	R	0000_0000B	BANK0	FBH
ADCFG	ADC 配置寄存器	×	R/W	0000_0000B	BANK0	FCH
ADREF	ADC 高 8 位比较寄存器	×	R/W	1111_1111B	BANK0	FEH
ADSAMP	ADC 采样寄存器	×	R/W	0000_0000B	BANK0	FFH

ADC 寄存器详细说明如下：

28.4.1. ADC 控制寄存器（ADCON）

名称/地址:	ADCON, BANK0, F9H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	ADCHS				ADEN	ADCRI	ADCEI	ADGO/AD WORK
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

- Bit[7:4]：ADCHS, ADC 通道选择位
 - 0000：选择通道 0
 - 0001：选择通道 1
 - 0010：选择通道 2
 - 0011：选择通道 3
 - 0100：选择通道 4
 - 0101：选择通道 5
 - 0110：选择通道 6
 - 0111：选择通道 7
 - 1000：选择通道 8
 - 1001：选择通道 9
 - 1010：选择通道 10
 - 1011：选择通道 11
 - 其他：保留
- Bit3:ADEN, ADC 使能位
 - 0：禁止 ADC 工作
 - 1：使能 ADC 工作
- Bit2: ADCRI, ADC 转换结果比较中断标志位
 - 0：未发生 ADC 转换结果匹配中断
 - 1：发生 ADC 转换结果匹配中断
- Bit1: ADCEI, ADC 转换结束标志位
 - 0：ADC 未转换结束
 - 1：ADC 转换结束
- Bit0: ADGO/ADWORK, 写操作时作为 ADGO 使用，软件触发 ADC 转换，读时表示 ADWORK
 - 该位写 1 后自动硬件清零
 - 读时，0 代表 ADC 不在转换，1 代表 ADC 正在执行转换操作

28.4.2. ADC 数据高 8 位寄存器 (ADCDATAH)

名称/地址:	ADCDATAH, BANK0, FAH							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	ADATAH							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	1	0	0	0	0	0	0	0
提 示:	一: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

- Bit[7:0]: ADCDATAH, ADC 转换结果高寄存器

28.4.3. ADC 转换结果低 4 位寄存器 (ADCDA TAL)

名称/地址:	ADCDA TAL, BANK0, FBH							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	ADCDA TAL							
访问权限:	R/W	R/W	R/W	R/W	R-0	R-0	R-0	R-0
复 位 值:	0	0	0	0	0	0	0	0
提 示:	一: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

- Bit[7:4]: ADCDA TAL, ADC 转换结果低寄存器

28.4.4. ADC 配置寄存器 (ADCFG)

名称/地址:	ADCFG, BANK0, FCH							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:		PRI	TRGS	CONT	VRSEL	ADCDFM	ADCKS	
访问权限:		R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:		0	0	0	0	0	0	0
提 示:	一: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

- Bit6: PRI, 外部触发沿选择
 - 0: 下降沿触发
 - 1: 上升沿触发
- Bit5: TRGS, ADC 外部触发源选择
 - 0: 选择内部软件启动
 - 1: 选择外部管脚输入触发
- Bit4: CONT, 软件触发 ADC 连续转换选择
 - 0: ADC 连续转换禁止
 - 1: ADC 连续转换使能
- Bit3: VRSEL, 参考电压选择
 - 1: 选择外部引脚作为参考电压
 - 0: 选择 AVDD 作为 ADC 参考电压
- Bit2: ADCDFM, ADC 转换结果存储格式
 - 0: 高 8 位存储在 ADCDATAH, 低 4 位存储在 ADCDA TAL 的高 4 位
 - 1: 高 4 位存储在 ADCDATAH 的低 4 位, 低 8 位存储在 ADCDA TAL
- Bit[1:0]: ADCKS, ADC 时钟选择位
 - 00: 系统时钟 2 分频
 - 01: 系统时钟 4 分频
 - 10: 系统时钟 8 分频

11: 系统时钟 16 分频

28.4.5. ADC 高 8 位比较寄存器 (ADREF)

名称/地址:	ADREF, BANK0, FEH							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	ADREF							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	1	1	1	1	1	1	1	1
提 示:	一: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

➤ Bit[7:0]: ADREF, ADC 转换结果高 8 位比较参考值

28.4.6. ADC 采样控制寄存器 (ADSAMP)

名称/地址:	ADSAMP, BANK0, FFH							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:					ADSAMP[3:0]			
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	一: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

➤ Bit[3:0]: ADSAMP, ADC 采样时钟

28.5. 功能描述

ADC 支持多种工作模式, 单次转换, 连续转换。

28.5.1. 单次转换

当 ADCFG 中的 CONT 位为 0 时为单次转换模式, ADC 在受到内部触发或者外部触发时, 开始一次转换过程, 转换结束后触发转换结束中断, 等待到下次触发才会发生第二次转换。ADC 转化的结果可以通过读取 ADCDATAH 和 ADCDATAL 获得。

28.5.2. 连续转换

当 ADCFG 中的 CONT 位为 1 时为连续转换模式, ADC 在受到内部触发时, 开始第一次转换过程, 在当前转化结束后, ADC 自动开启下一次转换。ADC 转化的结果可以通过读取 ADCDATAH 和 ADCDATAL 获得。退出连续转换模式只需将 CONT 位清 0, 在当前 ADC 转换结束后自动停止连续转换。

28.5.3. 触发模式

ADC 的触发模式有两种, 内部触发模式和外部触发模式。

对于内部触发, 直接写 ADCON 中的 ADGO 位将会直接触发单次 ADC 转换, 或通过配置 CONT 位为 1 触发连续 ADC 转换模式。

对于外部触发, 仅支持 touch 外部触发源, 单次转换模式。

当 ADC 正在转换时发生外部触发或者寄存器写 ADGO, 这些触发都会被忽略。

28.5.4. ADC 的转换结果

ADC 的转换结果的存储格式有两种, 可以根据 ADCFG 中的 ADCDFM 来配置。当 ADCDFM 为 0 时, ADCDATAH 存储转换结果的高 8 位, ADCDATAL 的高 4 位存储 ADC 转换结果的低 4 位。当 ADCDFM 为 1 时, ADCDATAH 的低 4 位存储 ADC 转换结果的高 4 位, ADCDATAL 存储 ADC 转换结果的低 8 位。

28.5.5. ADC 的参考电压

ADC 可以通过 ADCFG 中的 VRSEL 位配置参考电压, 0 时选择 AVDD 作为参考电压, 1 时选择外部引脚作为参考电压。

28.5.6. ADC 采样时间

ADC 的采样时间可以灵活配置位 1~16 个 ADC 时钟周期。

28.5.7. ADC 的时钟和中断

ADC 的时钟源可以通过 LPMODE 进行选择。当选择系统时钟 (LPMODE=0) 时 ADC 的转换速度可以通过 ADCFG 中的 ADCKS 位选择, 可以选择 2/4/8/16 分频。

ADC 一共支持两个中断源，一个是 ADC 转换结束或者 ADC 扫描结束中断，当每次 ADC 转换结束或者 ADC 扫描结束时，ADCON 中的 ADCEI 位将被置起。当相应的中断使能时，将会执行中断子程序。ADC 还有一个匹配中断源，如果 ADC 的转换结果高 8 位值 ADCDATAH 与 ADCREF 中的值相同时，将发生 ADC 匹配中断，ADCCON 中的 ADCRI 位将被置起。该中断在 ADC 对模拟信号连续采样时会非常有效，有助于检测到模拟信号到达一定的范围时，自动引发中断并执行中断子程序。

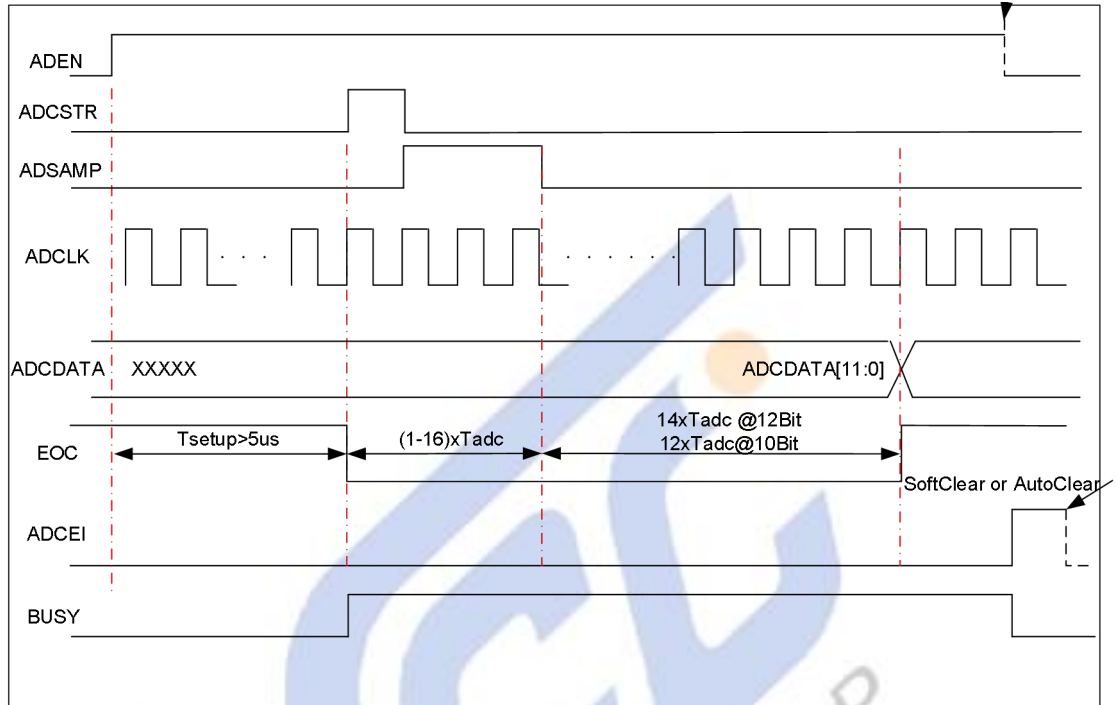


图 28- 2 ADC 单次转换时序图

29. 可配置逻辑单元（CPL）

ATM8F3140A内部集成一个可配置逻辑运算单元（CPL），可以使得不需要软件参与实现特定的功能。可配置逻辑单元的输入可以是外部端口或者外设，可配置逻辑单元的输出可以直接触发某些外设，或者直接输出到IO端口。

主要包括以下特性：

- 支持8个输入信号选择
- 软件可配置位AND/OR/XOR/DFF功能
- 支持待机工作

29.1. 内部框图

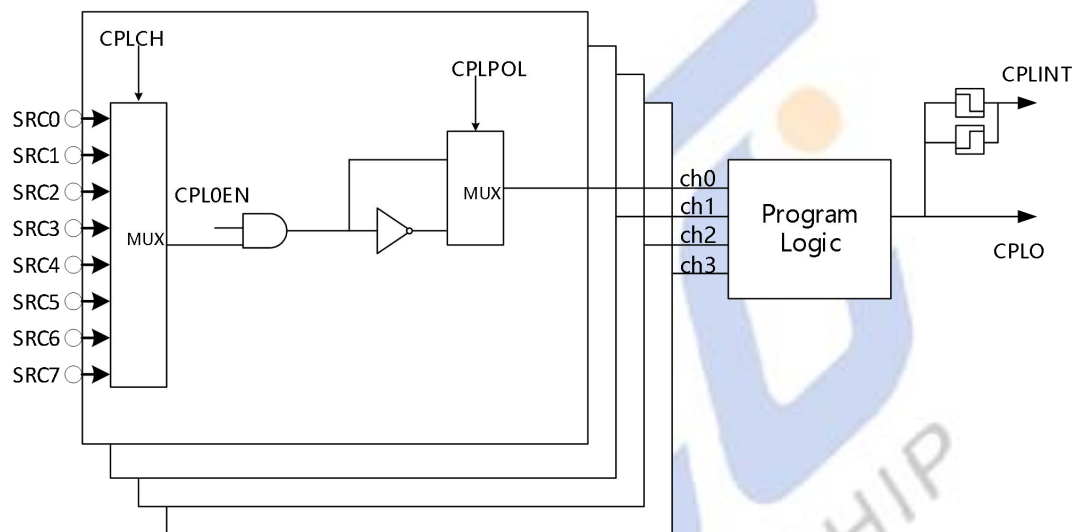


图 29- 1 CPL 内部框图

29.2. 寄存器描述

表 29- 1 CPL 控制寄存器列表

名称	说明	可位寻址	读写权限	复位值	BANK 地址	字节地址
CPLCON	CPL 控制寄存器	×	WO	0000_0000B	BANK1	E1H
CPLCH0	CPL 通道 0 寄存器	×	WO	0000_0000B	BANK1	E2H
CPLCH1	CPL 通道 1 寄存器	×	WO	0000_0000B	BANK1	E3H
CPLCH2	CPL 通道 2 寄存器	×	WO	0000_0000B	BANK1	E4H
CPLCH3	CPL 通道 3 寄存器	×	WO	0000_0000B	BANK1	E5H

中断控制寄存器详细说明如下：

CPL 控制寄存器（CPLCON）

名称/地址：

位 序 号：

位 定 义：

访问权限：

复 位 值：

提 示：

CPLCON, BANK1, E1H							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
CPLINT	CPLEDGE		CPLPOL	CPLEN	CPLMODE		
WO	WO	WO	WO	WO	WO	WO	WO
0	0	0	0	0	0	0	0

—： 未实现位；U： 不受复位影响；R-0： 只读，读 0；R/W ： 可读写

- Bit[7]:CPL 中断标志

0： 无中断

1： 产生中断

- Bit[6:5]: CPLEDGE, CPL中断沿选择

00: 禁止

01: 下降沿

10: 上升沿

11: 双沿

- Bit4: CPLPOL, 输出极性

0: 正向输出

1: 反向输出

- Bit3: CPLEN, CPL使能

0: 禁止

1: 使能

- Bit[2:0]: CPL功能选择

000: AND_OR_22

001: OR_AND_22

010: AND_OR_31

011: OR_AND_31

100: OR_XOR_22

101: AND_XOR_22

110: DFF1

111: DFF2

29.2.1. CPL 通道 0/1/2/3 寄存器 (CPLCH0/1/2/3)

名称/地址:

位 序 号:

位 定 义:

访问权限:

复 位 值:

提 示:

CPLCH0/1/2/3, BANK1, E2H/E3H/E4H/E5H							
Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
REV	REV	REV	CPLxEN	CPLxPOL	CPLxSRC		
WO	WO	WO	WO	WO	WO	WO	WO
0	0	0	0	0	0	0	0

—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写

- Bit[7:5]:保留

- Bit[4]: CPLxEN, CPL通道输入使能位

0: 通道x输入禁止

1: 通道x输入使能

- Bit[3]: CPLxPOL, CPL输入极性配置位

0: 正向输入

1: 反向输入

- Bit[2:0]: CPLxSRC, CPL通道输入选择位

000: 选择PWM0H

001: 选择PWM0L

- 010: 选择PWM1H
- 011: 选择TX
- 100: 选择T2OUT
- 101: 选择T4OUT
- 110: 选择T2EXIN
- 111: 选择T4IN

29. 3. 功能描述

ATM8F3140A内部集成一个可配置逻辑运算单元（CPL），可以不需要软件参与，实现特定的功能。

CPL的输入可以是TX、T2OUT、T4OUT输出，PWM0/1输出，也可以时T2EXIN、T4IN的输入，CPL可以通过P53输出。

CPL的逻辑功能实现如下图所示：

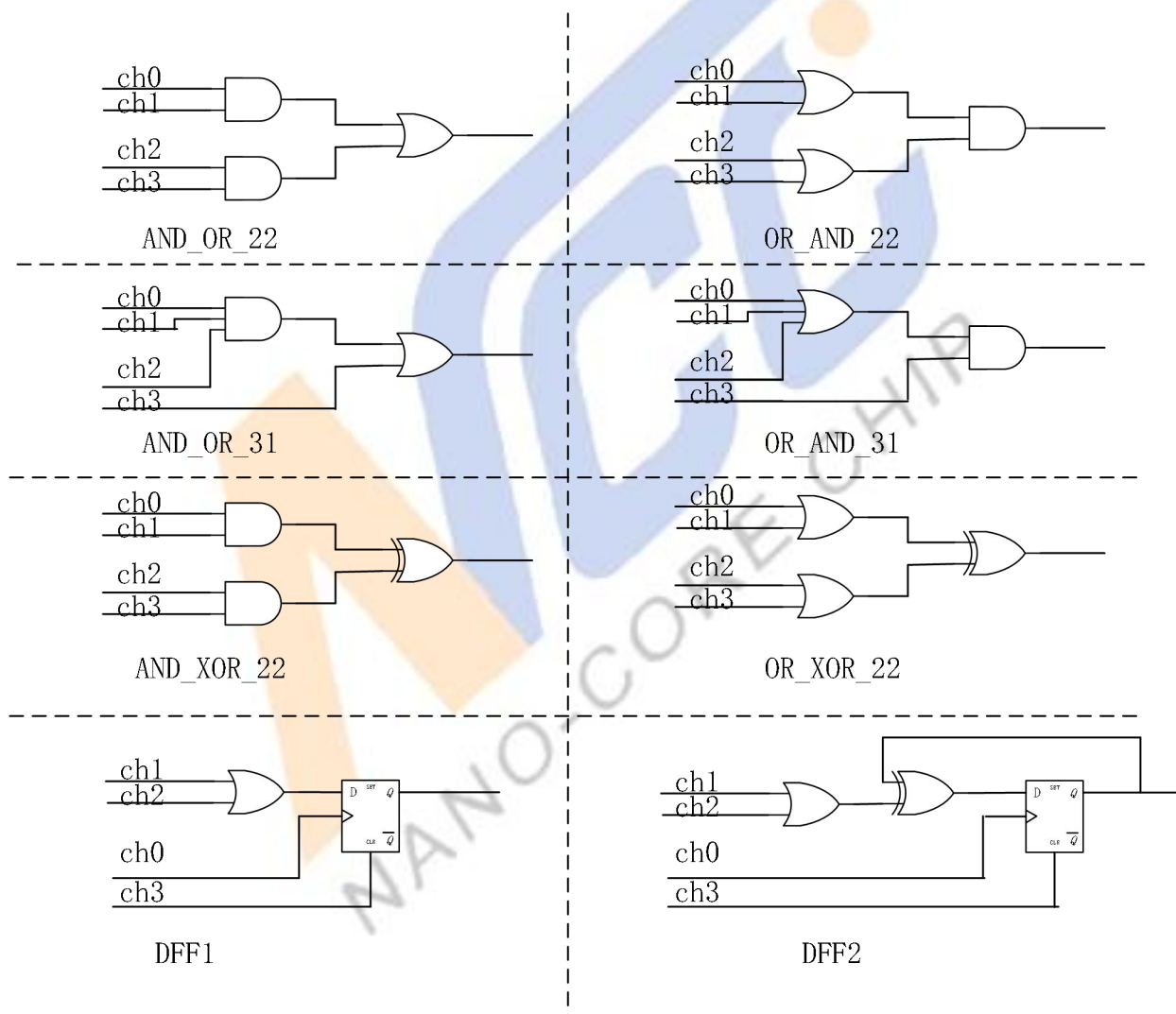


图 29- 2 CPL 的逻辑功能

30. 电气特性

30.1. 极限参数

表 30- 1 极限参数

标识	参数	范围	单位	其他
V _{DD}	电源范围	-0.3~5.5	V	-
T _{STG}	存放温度	-40~85	°C	-
T _{opt}	工作温度	-40~85	°C	-
V _I	常规引脚	-0.3~V _{DD} +0.3	V	-
V _O		-0.3~V _{DD} +0.3	V	-
I _{OLT}		100	mA	最大输出灌电流
I _{OHT}		-80	mA	最大输出拉电流

30.2. DC 特性

表 30- 2 直流特性参数

若无其他说明，V_{DD}-V_{SS}=5V, T_A=25° C

标识	参数	测试条件	MIN	TYP	MAX	单位
V _{DD}	电源范围	F _{max} =12MHz, P _{WAIT} =0	3.0		5.5	V
		F _{max} =6MHz, P _{WAIT} =0 或者 F _{max} =12MHz, P _{WAIT} =1	2.0 ^[1]		5.5	V
I _{DD11}	工作电流	系统时钟 12MHz, 仅 CPU 执行 NOP 指令, 所有输出引脚无负载, 输入引脚不浮空		10		mA
I _{DD12}		系统时钟 32KHz, 内部高频振荡器关闭, 所有输出引脚无负载, 输入引脚不浮空, BOR 关闭, 关闭其他所有功能, 仅 CPU 执行 NOP 指令		25		uA
I _{DD21}	待机电流	系统时钟 12MHz, CPU 进入 IDLE 状态, V _{DD} =5.0V, 所有输出引脚无负载, 输入引脚不浮空		3		mA
I _{DD22}		系统时钟内部 32KHz, 内部高频振荡器关闭, BOR 打开, WDT 关闭, LCD 打开, 偏置电阻 960kΩ, 1/4 duty, 对比度 1*V _{DD} , 关闭其他功能, CPU 进入 IDLE 状态		15		uA
I _{DD3}	截止电流	所有模拟模块关闭		1		uA
V _{IH1}	输入高电压		0.7			V _{DD}
V _{IL1}	输入低电压				0.3	V _{DD}
I _{IL}	(输入 0) 漏电流		-1		1	uA
I _{IH}	(输入 1) 漏电流		-1		1	uA
V _{OH}	输出高电压	I _{src} =10mA	V _{DD} -0.7			V
V _{OL}	输出低电压	I _{sink} =15mA			0.6	V
R _{PUL}	上拉电阻			50		KΩ
I _{LCD}	LCD 电流	电阻型 LCD 模式, LCD 电阻 240K 欧姆, 对比度设置为 0xF		10		uA
BOR	低压复位电平	BOR level=4.3V	4.1	4.3	4.5	V
		BOR Level=2.1V	2.0	2.1	2.2	V

	BOR 释放迟滞			100		mV
BOD	低压检测电平	BODSEL=4'b0000	2.3	2.4	2.5	V
		BODSEL=4'b0001	2.45	2.55	2.65	V
		BODSEL=4'b0010	2.6	2.7	2.8	V
		BODSEL=4'b0011	2.75	2.85	2.95	V
		BODSEL=4'b0100	2.85	3.00	3.15	V
		BODSEL=4'b0101	3.00	3.15	3.30	V
		BODSEL=4'b0110	3.15	3.30	3.45	V
		BODSEL=4'b0111	3.30	3.45	3.60	V
		BODSEL=4'b1000	3.45	3.60	3.75	V
		BODSEL=4'b1001	3.60	3.75	3.90	V
		BODSEL=4'b1010	3.75	3.90	4.05	V
		BODSEL=4'b1011	3.85	4.05	4.25	V
		BODSEL=4'b1100	4.00	4.20	4.40	V
		BODSEL=4'b1101	4.15	4.35	4.55	V
		BODSEL=4'b1110	4.30	4.50	4.70	V
		BODSEL=4'b1111	4.45	4.65	4.85	V
I _{BOD}	低压检测电流			1		uA
POR ^[2]	上电复位电平			1.4		V

[1]当芯片工作电压从 2.2V 以上降低时，可以达到该电压。

[2]设计保证，未测试。

30. 3. ADC 特性

表 30- 3 ADC 特性参数
(TA=25° C, 5V)

标识	参数	测试条件	MIN	TYP	MAX	单位
V _{DD}	工作电压		2.7	5	5.5	V
V _{REF}	ADC 参考电压		1.8		VDD	V
V _{IN}	ADC 输入电压范围		0		VREF	V
NR	分辨率			12		Bit
R _{AIN}	ADC 输入阻抗	VDD=5.0V	2 ^[1]			MΩ
I _{ADC}	ADC 转换电流			1		mA
DNL	差分非线性误差	5.0V, 1.5MHz, 25°C		±1.5		LSB
INL	积分非线性误差	5.0V, 1.5MHz, 25°C		±3		LSB
F _{ADC}	ADC 时钟频率	VDD=5.0			1.5	MHz
T _{AD}	ADC 转换时间	VDD=5.0V,TCK=1.5MHz		13.5		TCK
C _{ADC}	ADC 采样保持电容			25		pF

30. 4. 内部振荡器特性

表 30- 4 IHRC 参数特性

(TA=-40 ~ +85° C, 2.0V~5.5V)

标识	参数	测试条件	MIN	TYP	MAX	单位
V _{DD}	工作电压		2.0		5.5	V
F _{IHRC}	输出频率			12		MHz
Duty ^[1]	占空比		45		55	%
T _{st} ^[1]	稳定时间				10	us
F _{var}	频率误差	25°C, 5V	-1		+1	%
		25°C, 2.0~5.5V	-3		+3	%

[1]设计保证

30. 5. 内部低频振荡器特性

表 30- 5 ILRC 参数特性

(TA=-40 ~ +85° C, 2.0V~5.5V)

标识	参数	测试条件	MIN	TYP	MAX	单位
V _{DD}	工作电压		2.0		5.5	V
F _{ILRC}	输出频率			32		KHz
Duty ^[1]	占空比		45		55	%
T _{st} ^[1]	稳定时间				200	us
F _{var}	频率误差	25°C, 2.0~5.5V	-5		5	%
		-40~85°C, 2.0~5.5V	-10		10	%

[1]设计保证

30. 6. 外部振荡器特性

表 30- 6 CRY 参数特性

标识	参数	测试条件	MIN	TYP	MAX	单位
T _{st}	稳定时间	25°C, 5V			1	s
C _L	匹配电容	25°C, 5V		12		pF

30. 7. LCD 特性

表 30- 7 LCD 特性

(TA=-40 ~ +85° C, 2.0V~5.5V)

标识	参数	测试条件	MIN	TYP	MAX	单位
V _{LCON}	LCD 对比度控制位	4'h0		0.541		VDD
		4'h1		0.558		VDD
		4'h2		0.576		VDD
		4'h3		0.595		VDD
		4'h4		0.616		VDD
		4'h5		0.638		VDD
		4'h6		0.662		VDD
		4'h7		0.688		VDD
		4'h8		0.716		VDD
		4'h9		0.746		VDD
		4'hA		0.779		VDD
		4'hB		0.815		VDD
		4'hC		0.855		VDD
		4'hD		0.898		VDD

		4'hE		0.946		VDD
		4'hF		1.0		VDD

30. 8. 外部复位及中断管脚特性

表 30- 8 外部复位及中断管脚特性

(TA=-40 ~ +85° C, 2.0V~5.5V)

标识	参数	测试条件	MIN	TYP	MAX	单位
T _{INT1}	外部中断脉宽滤波	VDD=5.0V	1			us
T _{RST}	外部复位	VDD=5.0V	10			us
T _{BOR}	低压复位脉宽	VDD=5.0V	10			us
T _{BOD}	低压中断脉冲	VDD=5.0V	10			us

30. 9. EFT 特性

表 30- 9 EFT 特性

(TA=25°C, 5V)

标识	参数	条件	通过值	单位
V _{EFT}	瞬变脉冲群电压	F _{sys} =IHRC, BOR 关闭	±4500	V

30. 10. ESD 特性

表 30- 10 ESD 特性

(TA=25°C, 5V)

标识	参数	条件	最大值	单位
V _{ESD(HBM)}	静电放电电压 (人体模型)	TA=25°C	±3000	V
V _{ESD(CDM)}	静电放电电压 (充电设备模型)		±2000	V

30. 11. Latch up 特性

图 30- 11 Latch up 特性

标识	参数	条件	通过值	单位
LU	静态栓锁	TA=25°C, VDD=5V	±200	mA

31. 封装信息

31.1. LQFP48

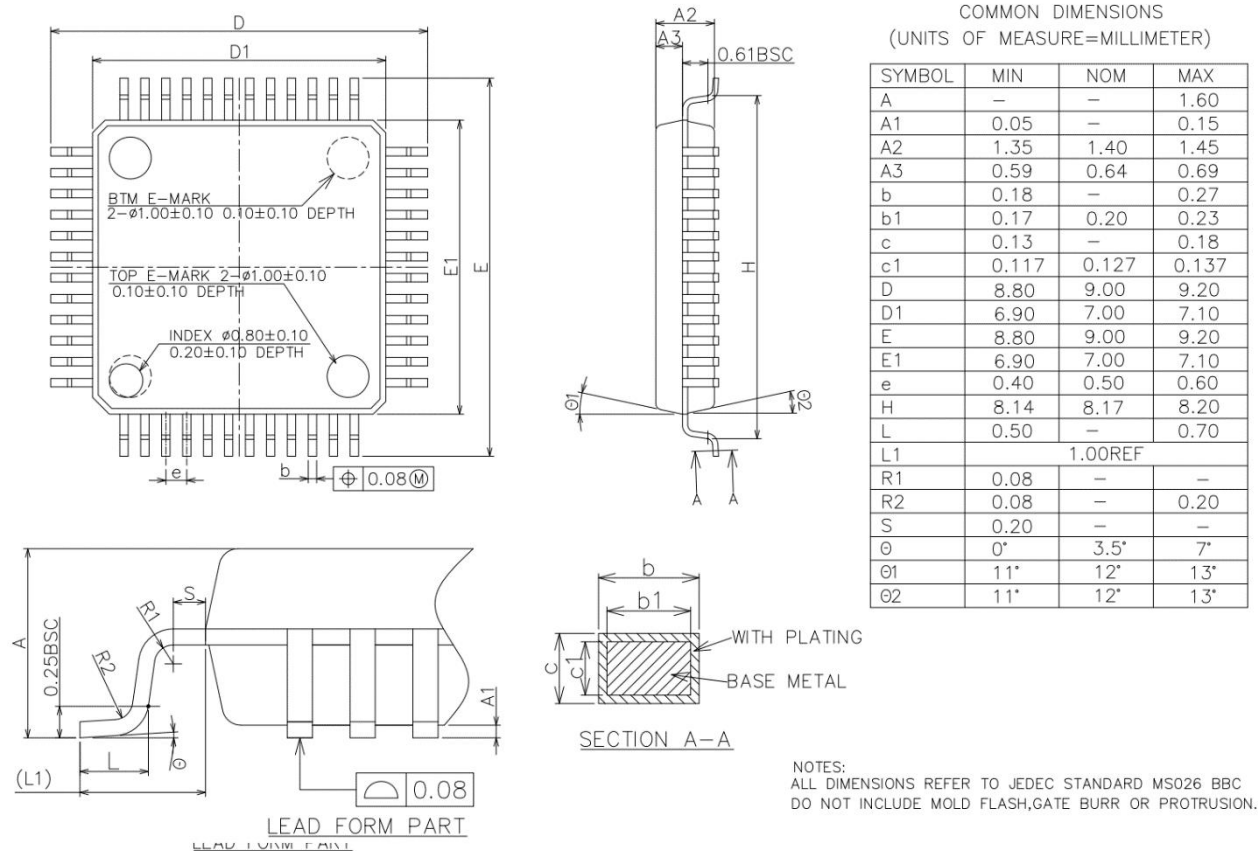
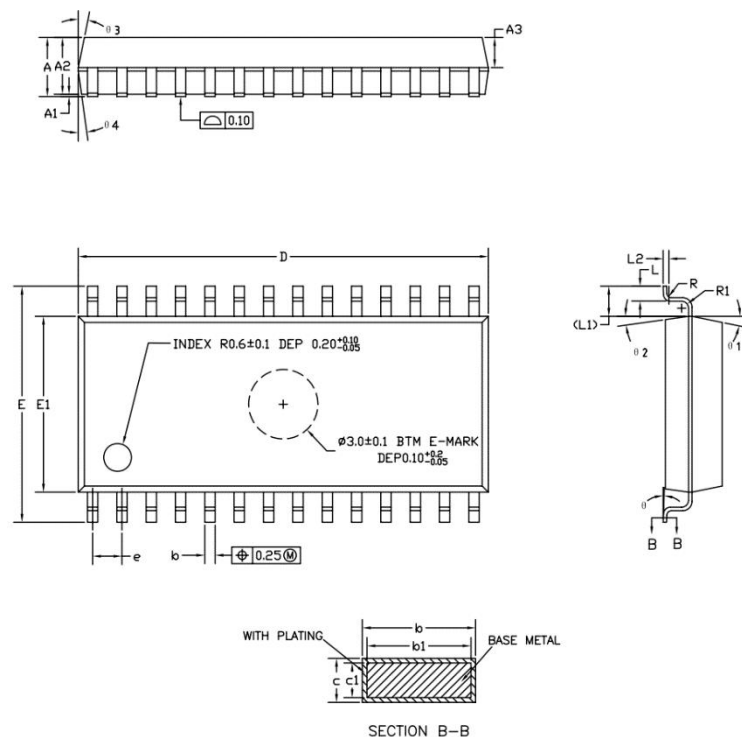


图 31- 1 LQFP48-7*7 封装尺寸图

31. 2. SOP28



COMMON DIMENSIONS
(UNITS OF MEASURE=MILLIMETER)

SYMBOL	MIN	NOM	MAX
A	2.35	2.55	2.80
A1	0.10	0.20	0.30
A2	2.25	2.45	2.65
A3	1.20	1.30	1.40
b	0.41	—	0.54
b1	0.40	0.45	0.50
c	0.15	—	0.20
c1	0.14	0.15	0.16
D	17.40	17.50	17.60
E	10.20	10.40	10.60
E1	7.50	7.60	7.70
e	1.17	1.27	1.37
L	0.40	0.60	0.80
L1	1.40REF		
L2	0.25BSC		
R	0.10	—	—
R1	0.10	—	—
θ	0°	—	8°
θ1	13°	15°	17°
θ2	6°	8°	10°
θ3	9.5°	11.5°	13.5°
θ4	6°	8°	10°

图 31- 2 SOP28 封装尺寸图

31. 3. SOP20

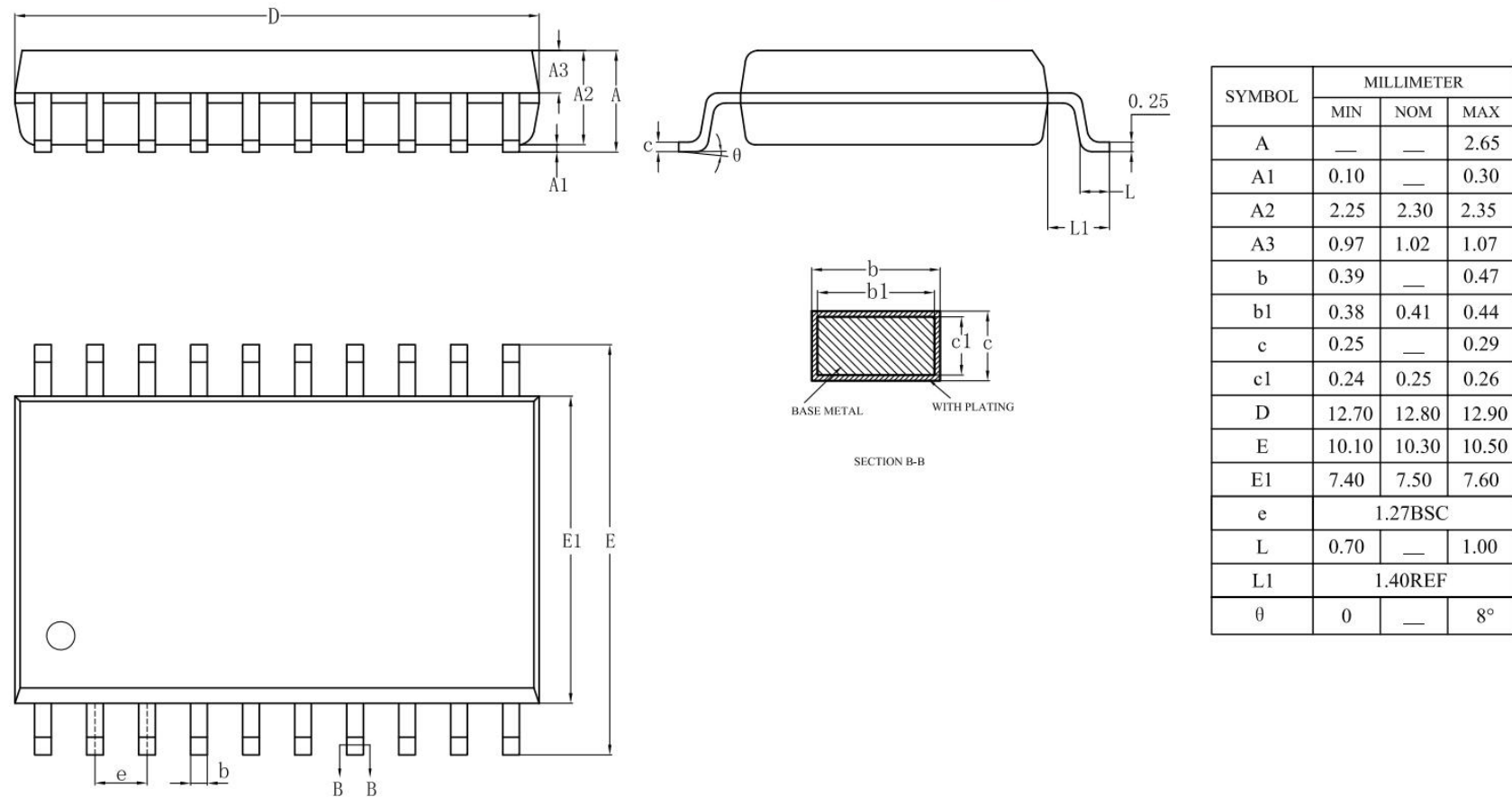
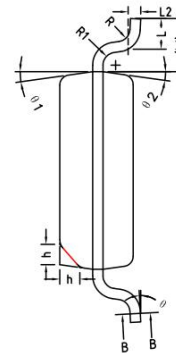
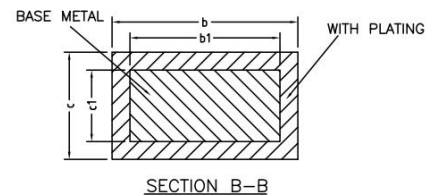
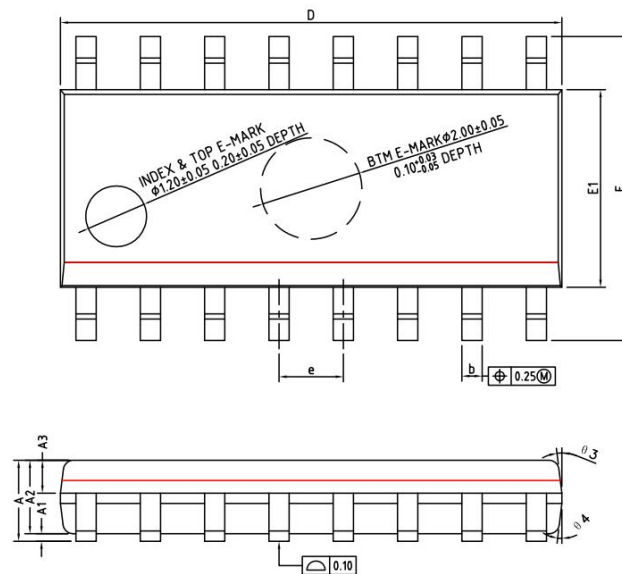


图 31- 3 SOP20 封装尺寸图

31. 4. SOP16



COMMON DIMENSIONS
(UNITS OF MEASURE=MILLIMETER)

SYMBOL	MIN	NOM	MAX
A	—	—	1.75
A1	0.10	0.15	0.25
A2	1.35	1.45	1.55
A3	0.55	0.65	0.75
b	0.36	—	0.51
b1	0.35	0.40	0.45
c	0.18	—	0.25
c1	0.17	0.20	0.23
D	9.80	9.90	10.00
E	5.80	6.00	6.20
E1	3.80	3.90	4.00
e	1.22	1.27	1.32
L	0.45	0.60	0.80
L1	1.04REF		
L2	0.25BSC		
R	0.07	—	—
R1	0.07	—	—
h	0.30	0.40	0.50
θ	0°	—	8°
θ 1	6°	8°	10°
θ 2	6°	8°	10°
θ 3	5°	7°	9°
θ 4	5°	7°	9°

NOTES:
ALL DIMENSIONS MEET JEDEC STANDARD MS-012 AC
DO NOT INCLUDE MOLD FLASH OR PROTRUSIONS.

图 31-4 SOP16 封装尺寸图

31. 5. TSSOP28

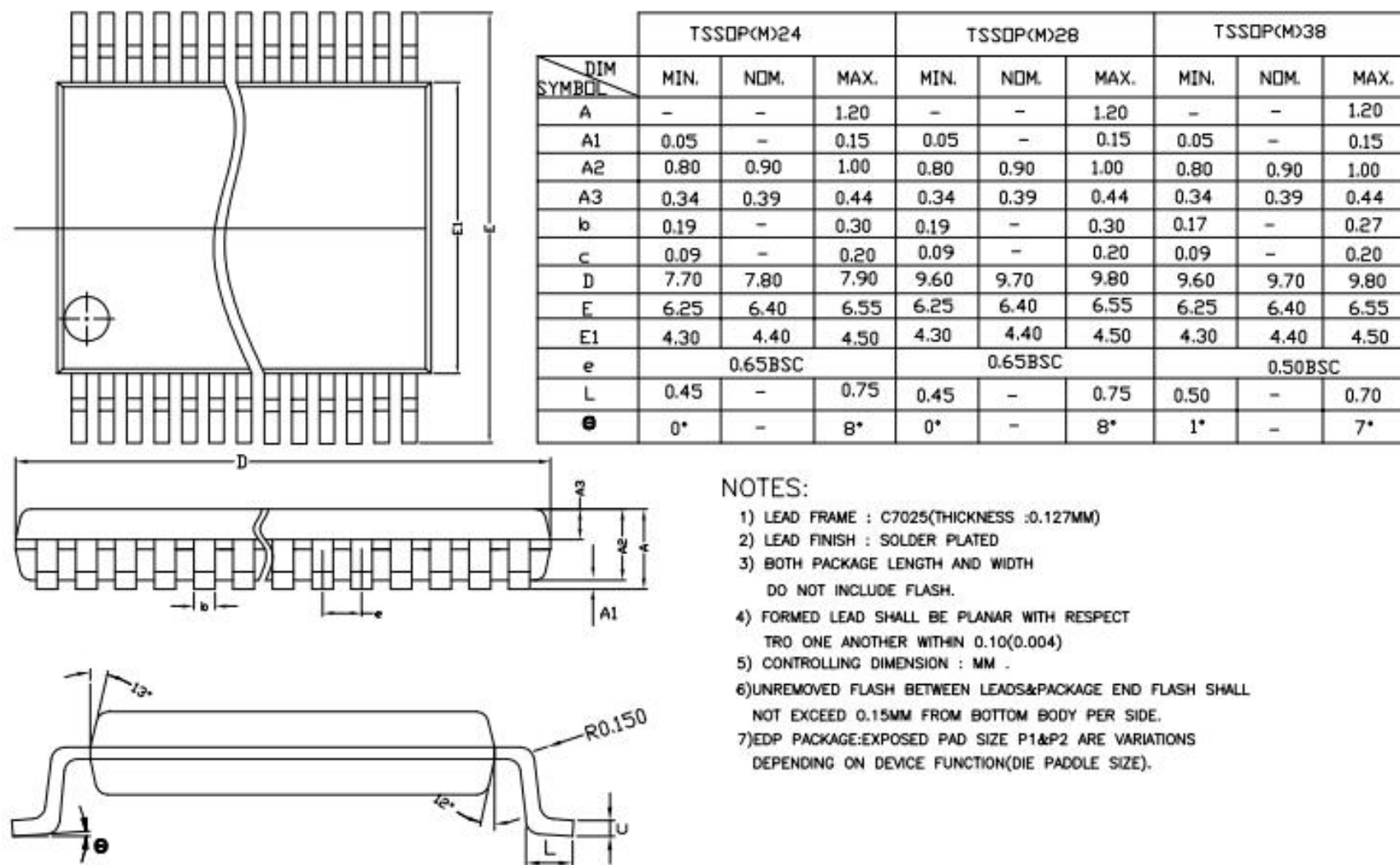


图 31- 5 TSSOP28 封装尺寸图

32. 版本信息

版本号	更新时间	更新内容
V1.0	2021.11.04	V1.0 初始版本发布
V1.1	2022.06.23	合并数据手册和用户手册
V1.2	2022.09.21	新增 SOP20 封装
V1.3	2022.09.23	新增 SOP16 封装，修改 SOP28 封装
V1.4	2022.11.23	删除 LQFP44、SOP20、SOP16 封装
V1.5	2023.01.30	1.修改 LCD 寄存器描述和功能描述，增加 LCD_LED RAM 配置 SEG32 的地址 2.修改 PCON 的默认值 3.修改 SYSCFG 的默认值 4.修改 FLASH 控制器中的编程操作描述 5.修改芯片型号
V1.6	2023.02.28	新增 SOP20、SOP16 封装
V1.7	2023.03.08	修改 SOP20 和 SOP16 引脚定义
V1.8	2023.09.27	新增 TSSOP28 封装
V1.9	2024.02.27	修改 T3 的功能描述

IMPORTANT NOTICE – PLEASE READ CAREFULLY

Nano-core Chip and its subsidiaries (“NCC”) reserve the right to make changes, corrections, enhancements, modifications, and improvements to NCC products and/or to this document at any time without notice. Purchasers should obtain the latest relevant information on NCC products before placing orders. NCC products are sold pursuant to NCC’s terms and conditions of sale in place at the time of order acknowledgement.

Purchasers are solely responsible for the choice, selection, and use of NCC products and NCC assumes no liability for application assistance or the design of Purchasers’ products.

No license, express or implied, to any intellectual property right is granted by NCC herein.

Resale of NCC products with provisions different from the information set forth herein shall void any warranty granted by NCC for such product. NCC and the NCC logo are trademarks of NCC. All other product or service names are the property of their respective owners. Information in this document supersedes and replaces information previously supplied in any prior versions of this document.

© 2022 HangZhou Nano-core Chip – All rights reserved